

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-299634
(P2000-299634A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 K 17/725		H 0 3 K 17/725	Z
H 0 1 L 29/78	6 5 7	H 0 1 L 29/78	6 5 7 G
			6 5 7 A
H 0 2 H 3/08		H 0 2 H 3/08	T
3/087		3/087	

審査請求 未請求 請求項の数19 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2000-35925(P2000-35925)
(22) 出願日 平成12年2月14日 (2000. 2. 14)
(31) 優先権主張番号 特願平11-74257
(32) 優先日 平成11年2月14日 (1999. 2. 14)
(33) 優先権主張国 日本 (J P)

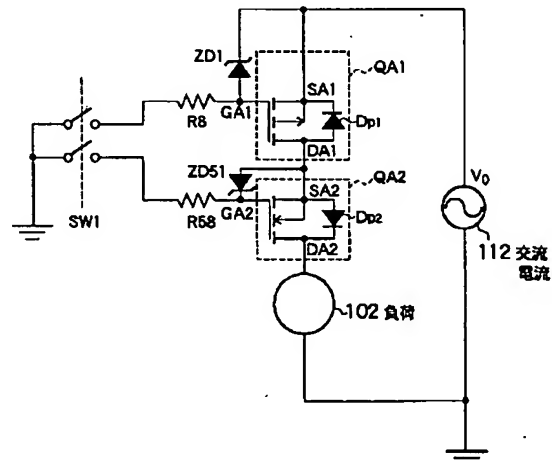
(71) 出願人 00006895
矢崎総業株式会社
東京都港区三田1丁目4番28号
(72) 発明者 大島 俊蔵
静岡県湖西市鰐津2464-48 矢崎部品株式
会社内
(74) 代理人 100083806
弁理士 三好 秀和 (外 8 名)

(54) 【発明の名称】 交流用スイッチングデバイス

(57) 【要約】

【課題】 熱損失を抑えた交流用の交流用スイッチング
デバイスを提供する。

【解決手段】 交流電源 1 1 2 の非接地側に接続した第
1 主電極 S 1、第 2 主電極 D 1 とを有し、第 1 主電極 S
1 にカソード領域を、第 2 主電極 D 1 にアノード領域を
接続した第 1 寄生ダイオード D_{P1} を内在する第 1 主半
導体素子 Q A 1 と、第 2 主電極 D 1 に接続した第 3 主電
極 S 2、負荷 1 0 2 に接続した第 4 主電極 D 2 とを有
し、第 3 主電極 S 2 にアノード領域を、第 4 主電極 D 2
にカソード領域を接続した第 2 寄生ダイオード D_{P2} を
内在する第 2 主半導体素子 Q A 2 とから構成される。第
1 主半導体素子 Q A 1 から第 2 主半導体素子 Q A 2 に流
れる電流は、第 2 寄生ダイオード D_{P2} を流れ、第 2 主
半導体素子 Q A 2 から第 1 主半導体素子 Q A 1 に流れる
電流は第 1 寄生ダイオード D_{P1} を流れる。



【特許請求の範囲】

【請求項1】 交流用半導体ヒューズに用いるためのスイッチングデバイスであって、

交流電源の非接地側に接続される第1主電極、前記第1主電極に対向した第2主電極、前記第1及び第2主電極を流れる主電流を制御する第1制御電極とを有し、前記第1主電極にカソード領域を、前記第2主電極にアノード領域が接続される第1寄生ダイオードを内在するpチャネル型の第1主半導体素子と、

前記第2主電極に接続される第3主電極、前記第3主電極に対向し負荷に接続される第4主電極、前記第3及び第4主電極を流れる主電流を制御する第2制御電極とを有し、前記第3主電極にアノード領域を、前記第4主電極にカソード領域が接続される第2寄生ダイオードを内在するnチャネル型の第2主半導体素子とからなることを特徴とする交流用スイッチングデバイス。

【請求項2】 前記第1及び第2制御電極は、スイッチ投入時において、抵抗を介して接地されることを特徴とする請求項1記載の交流用スイッチングデバイス。

【請求項3】 前記第1主電極、第1制御電極にそれぞれ接続された第5主電極、第3制御電極と、第6主電極とを有する第1基準半導体素子と、

前記第3主電極、第2制御電極にそれぞれ接続された第7主電極、第4制御電極と、第8主電極とを有する第2基準半導体素子と、

前記第2及び第6主電極間の電圧を比較する第1の比較器と、

前記第4及び第8主電極間の電圧を比較する第2の比較器とを更に具備し、前記第2主電極の電位が、前記第6主電極の電位を下回ったときに、前記第1主半導体素子をオン/オフ動作させ、

前記第4主電極の電位が、前記第8主電極の電位を上回ったときに、前記第2主半導体素子をオン/オフ動作させることを特徴とする請求項1又は2記載の交流用スイッチングデバイス。

【請求項4】 前記第1主半導体素子はN1個の第1のユニット素子から構成され、前記第1基準半導体素子は、N2個の前記第1のユニット素子から構成され、 $N1 \gg N2$ であることを特徴とする請求項3記載の交流用スイッチングデバイス。

【請求項5】 前記第2主半導体素子はN3個の第2のユニット素子から構成され、前記第2基準半導体素子は、N4個の前記第2のユニット素子から構成され、 $N3 \gg N4$ であることを特徴とする請求項4記載の交流用スイッチングデバイス。

【請求項6】 前記第1主半導体素子及び前記第2主半導体素子は、それぞれ温度センサ内蔵スイッチング素子であることを特徴とする請求項1乃至5のいずれか1項記載の交流用スイッチングデバイス。

【請求項7】 前記第1主半導体素子、第1基準半導体

素子、第2主半導体素子、第2基準半導体素子は同一半導体基板上に集積化されていることを特徴とする請求項2乃至6のいずれか1項記載の交流用スイッチングデバイス。

【請求項8】 前記第1主半導体素子、第1基準半導体素子、第2主半導体素子、第2基準半導体素子は、互いに絶縁分離された島状の半導体領域に形成されていることを特徴とする請求項2乃至7のいずれか1項記載の交流用スイッチングデバイス。

【請求項9】 前記第2、第4、第6、第8主電極は、それぞれ前記島状の半導体領域の底部に設けられた埋め込み領域として形成されていることを特徴とする請求項8記載の交流用スイッチングデバイス。

【請求項10】 前記第1主半導体素子、第1基準半導体素子、第2主半導体素子、第2基準半導体素子は同一パッケージ内に、個別素子として搭載されていることを特徴とする請求項2乃至7のいずれか1項記載の交流用スイッチングデバイス。

【請求項11】 前記第1主半導体素子、第1基準半導体素子、第2主半導体素子、第2基準半導体素子は、同一パッケージ基板の表面に設けられた、互いに独立した導電性板の上にそれぞれ形成されていることを特徴とする請求項2乃至7、及び10のいずれか1項記載の交流用スイッチングデバイス。

【請求項12】 前記第2及び第3主電極は、前記パッケージの内部構造として互いに接続されていることを特徴とする請求項10又は11記載の交流用スイッチングデバイス。

【請求項13】 交流用半導体ヒューズに用いるためのスイッチングデバイスであって、交流電源の非接地側に接続される第1主電極、前記第1主電極に対向した第2主電極、チャージポンプで昇圧された第1のドライバに接続され、前記第1及び第2主電極を流れる主電流を制御する第1制御電極とを有し、前記第1主電極にカソード領域を、前記第2主電極にアノード領域が接続される第1寄生ダイオードを内在するnチャネル型の第1主半導体素子と、

前記第2主電極に接続される第3主電極、前記第3主電極に対向し負荷に接続される第4主電極、前記第1のドライバとは異なる第2のドライバに接続され、前記第3及び第4主電極を流れる主電流を制御する第2制御電極とを有し、前記第3主電極にアノード領域を、前記第4主電極にカソード領域が接続される第2寄生ダイオードを内在するnチャネル型の第2主半導体素子とからなることを特徴とする交流用スイッチングデバイス。

【請求項14】 前記第1主半導体素子及び前記第2主半導体素子は、それぞれ温度センサ内蔵スイッチング素子であることを特徴とする請求項13記載の交流用スイッチングデバイス。

【請求項15】 前記第1主電極と前記第1の比較器の

電源端子の間に接続された第1のトランジスタと、前記第1の比較器の接地端子と接地電位間に接続された抵抗と、前記第2主電極と前記第2の比較器の電源端子の間に接続された第2のトランジスタと、前記第2の比較器の接地端子と接地電位間に接続された抵抗とを更に有することを特徴とする請求項3記載の交流用スイッチングデバイス。

【請求項16】 前記第1の比較器の電源端子にエミッタ電極を、前記第1の比較器の出力端子にベース電極を接続した第3のトランジスタと、前記第2の比較器の電源端子にエミッタ電極を、前記第2の比較器の出力端子にベース電極を接続した第4のトランジスタとを更に有することを特徴とする請求項3又は15記載の交流用スイッチングデバイス。

【請求項17】 前記第3のトランジスタのコレクタ電極に接続された逆流防止ダイオードと、該逆流防止ダイオードに接続されたオン／オフ積算回路を更に有することを特徴とする請求項3、15、16のいずれか1項記載の交流用スイッチングデバイス。

【請求項18】 前記第1主電極と接地電位間に接続された4個のダイオードからなるブリッジ回路を更に有することを特徴とする請求項3、15、16、17のいずれか1項記載の交流用スイッチングデバイス。

【請求項19】 前記ブリッジ回路の2つの中点間に接続された電源コンデンサと、該電源コンデンサの両端間に接続された電源抵抗と、電源ツェナーダイオードとからなる直列回路とを更に有し、前記電源ツェナーダイオードの両端の電位をオン／オフ積算回路の電源電圧として用いることを特徴とする請求項18記載の交流用スイッチングデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、交流電流のスイッチングが可能な交流用スイッチングデバイスに関する。

【0002】

【従来の技術】従来の直流電源供給制御装置に用いる直流用スイッチングデバイス（電力用半導体装置）としては、例えば図13に示すようなものがある。図13に示す直流電源供給制御装置は、自動車においてバッテリーからの直流電源を選択的に各負荷に供給して、負荷への電力供給を温度センサ内蔵スイッチング素子QFにより制御する装置である。図13に示す直流電源供給制御装置は、直流の出力電圧VBを供給する直流電源101にシャント抵抗RSの一端が接続され、その他端に温度センサ内蔵スイッチング素子QFのドレイン電極Dが接続されている。更に、温度センサ内蔵スイッチング素子QFのソース電極Sには、負荷102が接続されている。ここで、負荷102としては、自動車のヘッドライトやパワーウィンドウの駆動モータ等が該当する。図13に示

す直流電源供給制御装置は、更に、シャント抵抗RSを流れる電流を検出して温度センサ内蔵スイッチング素子QFの動作を制御するドライバ901と、ドライバ901でモニタした電流値に基づいて温度センサ内蔵スイッチング素子QFの駆動信号をオン／オフ制御するA/D変換器902及びマイコン（CPU）903とを備えている。

【0003】従来の直流電源供給制御装置の主半導体素子として動作する温度センサ内蔵スイッチング素子QFは、図14に示すようにパワーデバイス（主素子）QMと、この主素子QMを制御するための、抵抗RG、温度センサ121、ラッチ回路122及び過熱遮断用素子QSからなる制御回路を同一半導体チップ上に集積化したパワーICである。パワーデバイス（主素子）QMが規定以上の温度まで上昇したことが温度センサ121によって検出された場合には、その旨の検出情報がラッチ回路122に保持され、ゲート遮断回路としての過熱遮断用素子QSがオン動作となることによって、主素子QMを強制的にオフ制御する。ここで、温度センサ121はポリシリコン等で構成した4個のダイオードが直列接続されてなり、温度センサ121は主素子QMの近傍に集積化されている。主素子QMの温度が上昇するにつれて温度センサ121の4個のダイオードの順方向降下電圧が低下し、nMOSトランジスタQ51のゲート電位が“L”レベルとされる電位まで下がると、nMOSトランジスタQ51がオン状態からオフ状態に移移する。これにより、nMOSトランジスタQ54のゲート電位が温度センサ内蔵スイッチング素子QAのゲート制御端子Gの電位にプルアップされ、MOSトランジスタQ54がオフ状態からオン状態に移移して、ラッチ回路122に“1”がラッチされることとなる。このとき、ラッチ回路122の出力が“H”レベルとなって過熱遮断用素子QSがオフ状態からオン状態に移移するので、主素子QMの真のゲートTGとソースSo間が短絡されて、主素子QMがオン状態からオフ状態に移移して、過熱遮断されることとなる。

【0004】図13において、主素子QMのゲート・ソース間には、ツェナーダイオードZD1が接続されている。このツェナーダイオードZD1は、温度センサ内蔵スイッチング素子QFのゲート電極Gとソース電極S間を12Vに保って、主素子QMの真のゲートTGに過電圧が印加されようとした場合にこれをバイパスさせる。ドライバ901は、電流モニタ回路としての差動増幅器911、913と、電流制限回路としての差動増幅器912と、チャージポンプ回路915とを備えている。更に、ドライバ901は、マイコン903からのオン／オフ制御信号及び電流制限回路からの過電流判定結果に基づき、内部抵抗RGを介して温度センサ内蔵スイッチング素子QFの真のゲートTGを駆動する駆動回路914を備えている。シャント抵抗RSの電圧降下に基づき差

動増幅器912を介して、電流が判定値(上限)を超えたとして過電流が検出された場合には、駆動回路914によって温度センサ内蔵スイッチング素子QFをターン・オフする。そして、その後電流が低下して判定値(下限)を下回ったら、温度センサ内蔵スイッチング素子QFをターン・オンする。一方、マイコン903は、電流モニタ回路(差動増幅器911, 913)を介して電流を常時モニタしており、正常値を上回る異常電流が流れていれば、温度センサ内蔵スイッチング素子QFの駆動信号をオフすることにより温度センサ内蔵スイッチング素子QFをターン・オフさせる。なお、マイコン903からオフ制御の駆動信号が出力される前に、温度センサ内蔵スイッチング素子QFの温度が規定値を超えていれば、温度センサ121からの信号によって温度センサ内蔵スイッチング素子QFはターン・オフとなる。

【0005】

【発明が解決しようとする課題】しかしながら、従来の直流電源供給制御装置にあっては、電流検出を行うために電力の供給経路に直列接続されるシャント抵抗RSを必要とした構成であり、近年の負荷の大電流化により、シャント抵抗の熱損失が無視出来ないという問題点がある。シャント抵抗の熱損失が大きい場合は、電力エネルギーの無駄遣いになるばかりか、発熱を抑制するための冷却装置が、新たに必要となり、装置が複雑、且つ大型化する問題を生じる。

【0006】そして、従来の直流電源供給制御装置は、負荷102や配線にはほぼ完全な短絡状態が発生して大電流が流れる場合には機能する。しかし、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生して小さい短絡電流が流れた場合には、従来の直流電源供給制御装置は機能しない。このため、電流のモニタ回路を介してマイコン903により異常電流を検出して温度センサ内蔵スイッチング素子QFをオフ制御するしかない。従って、複雑且つ高価なマイコンを必要とする上に、このような異常電流に対するマイコン制御による応答性が悪いという問題点もあった。

【0007】又、シャント抵抗RSやA/D変換器902、マイコン903等が必要であるため、大きな実装スペースが必要であり、又これらの比較的高価な物品により電源供給制御装置のコストが高くなってしまうという問題点もある。

【0008】そもそも、直流用スイッチングデバイスについては、以上のような問題点が指摘出来るが、交流電力の供給経路に使用可能で、異常電流の発生が検知された場合には、交流電力供給経路を遮断出来る交流用スイッチングデバイスや交流用半導体ヒューズは知られていない。

【0009】従来、交流用スイッチングデバイスや交流用半導体ヒューズが存在しない重大な理由の一つは、交流電力供給経路に用いた場合には、スイッチングデバイ

スを制御する制御回路の設計が難しいからである。小信号の制御回路は通常5V程度の電圧で動作する回路であるため、100~130Vクラスの家庭用交流電圧に耐え得る制御回路の実現は、極めて困難である。特に、このような交流用スイッチングデバイスとその制御回路をモノリシックに集積化したパワーデバイスは知られていない。

【0010】上記問題点を鑑み、本発明は、交流電力の供給経路に使用可能で、異常電流の発生が検知された場合には、交流電力供給経路を遮断出来る交流用スイッチングデバイスを提供することである。

【0011】本発明の他の目的は、交流電流の検出を行うために電力の供給経路に直接接続するシャント抵抗が不要な交流用スイッチングデバイスを提供することである。

【0012】本発明の更に他の目的は、集積化が容易で、安価な交流用スイッチングデバイスを提供することである。

【0013】本発明の更に他の目的は、交流電力の供給経路に使用することが可能な交流用半導体ヒューズに用いる半導体スイッチを提供することである。

【0014】本発明の更に他の目的は、交流電力の供給経路の熱損失を抑え、高効率の交流電力供給を可能とする交流用半導体ヒューズに用いる半導体スイッチを提供することである。

【0015】本発明の更に他の目的は、交流電力の供給経路の小型・軽量化を促進すると共に、溶断ヒューズの交換の手間も不要な交流用半導体ヒューズに用いることが可能な半導体スイッチを提供することである。

【0016】本発明の更に他の目的は、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流に対しても高速応答が可能な交流用半導体ヒューズに用いることが可能な半導体スイッチを提供することである。

【0017】本発明の更に他の目的は、このような不完全短絡における遮断速度を任意に設定可能な交流用半導体ヒューズに用いることが可能な半導体スイッチを提供することである。

【0018】本発明の更に他の目的は、交流用半導体ヒューズに用いる半導体スイッチの集積化が容易な構造を提案し、これにより交流用半導体ヒューズとして必要な容積を縮小し、交流用電力制御装置のコストを大幅に削減することである。

【0019】本発明の更に他の目的は、家庭用交流電圧に耐え得る制御回路を有する交流用半導体ヒューズに用いることが可能な半導体スイッチを提供することである。

【0020】本発明の更に他の目的は、交流用スイッチングデバイスと、これを制御し130Vクラスの交流電圧に耐え得る制御回路とを、半導体チップ上にモノリシ

ックに集積化可能な交流用半導体ヒューズに用いることが可能な半導体スイッチを提供することである。

【0021】本発明の更に他の目的は、異常電流の検出にマイコン等の複雑、高価なハードウェアを不要とし、交流電力の供給経路の小型・軽量化を実現し、その装置コストを大幅に削減することが可能な交流用半導体ヒューズに用いることが可能な半導体スイッチを提供することである。

【0022】本発明の更に他の目的は、特性が揃い、且つ高精度のコンデンサや複数の抵抗等の回路素子を使用する設計仕様を不要とし、回路素子のバラツキによる検出誤差の発生が抑制された交流用半導体ヒューズに用いることが可能な半導体スイッチを提供することである。

【0023】本発明の更に他の目的は、半導体チップに対する外付けコンデンサをも不要にし、実装スペース及び装置コストをより削減することが出来る交流用半導体ヒューズに用いることが可能な半導体スイッチを提供することである。

【0024】本発明の更に他の目的は半導体チップの面積利用効率を高め、半導体チップの小面積化が容易な回路構成を実現し、実装スペースを小型化し、同時に装置コストを削減することが可能な交流用半導体ヒューズに用いることが可能な半導体スイッチを提供することである。

【0025】

【課題を解決するための手段】上記問題点を達成するための本発明の第1の特徴は、交流用半導体ヒューズに用いるためのスイッチングデバイスの新規な構造を提供するものである。即ち、本発明の第1の特徴に係るスイッチングデバイスは、交流電源の非接地側に接続される第1主電極、第1主電極に対向した第2主電極、第1及び第2主電極を流れる主電流を制御する第1制御電極とを有し、第1主電極にカソード領域を、第2主電極にアノード領域が接続される第1寄生ダイオードを内在するpチャネル型の第1主半導体素子と、第2主電極に接続される第3主電極、第3主電極に対向し負荷に接続される第4主電極、第3及び第4主電極を流れる主電流を制御する第2制御電極とを有し、第3主電極にアノード領域を、第4主電極にカソード領域が接続される第2寄生ダイオードを内在するnチャネル型の第2主半導体素子とから構成されている。本発明の第1の特徴に係る交流用スイッチングデバイスに適用出来る第1及び第2主半導体素子の例としては、DMOS構造、VMOS構造、或いはUMOS構造の縦型構造のパワーMOSトランジスタやこれらと類似な構造のMOS静電誘導型トランジスタ(SIT)が、面積の大きな第1及び第2寄生ダイオードを形成する上で好ましい。又、エミッタースイッチド・サイリスタ(EST)、MOS制御サイリスタ(MCT)等のMOS複合型デバイスやコレクタショート型の絶縁ゲート型バイポーラトランジスタ(IGBT)等の

他の絶縁ゲート型パワーデバイスでも良い。更にMOSトランジスタをより一般化したMISTランジスタやHEMT等の絶縁ゲート型トランジスタでもかまわない。更に、常にゲートを逆バイアスで使う回路構成とするのであれば、接合型FET、接合型SITやSIサイリスタ等も使用可能である。特にダブルゲート型SIサイリスタは双方向性のスイッチングを低いオン電圧で実現可能である。第1及び第2寄生ダイオードは、これらの半導体素子に構造的に内在する寄生pn接合ダイオード等が対応する。

【0026】本発明の第1の特徴に係る交流用スイッチングデバイスは、まず、スイッチ投入時において、第1及び第2制御電極が抵抗を介して接地される。そして、交流電源の非接地側がプラス側に上昇すると、第1主半導体素子制御電極の電位は、第1主電極の電位に対して低下し、第2主半導体素子制御電極の電位は、第3主電極の電位に対して低下する。このため、pチャネル型の第1主半導体素子QA1はターン・オンし、nチャネル型の第2主半導体素子はオフ状態である。ここで、「第1主電極」とは、IGBTにおいてはエミッタ電極、MOSTランジスタにおいてはソース電極、EST、MCT、SIサイリスタにおいてはカソード電極、若しくはこれらに等価な半導体素子の等価な主電極を意味する。「第2主電極」とは、IGBTにおいてはコレクタ電極、MOSTランジスタにおいてはドレイン電極、EST、MCT、SIサイリスタにおいては、アノード電極を意味する。同様に、「第3主電極」とは、IGBTにおいてエミッタ電極、MOSTランジスタにおいてはソース電極、EST、MCT、SIサイリスタにおいてはカソード電極を意味する。「第4主電極」とは、IGBTにおいてはコレクタ電極、MOSTランジスタにおいてはドレイン電極、EST、MCT、SIサイリスタにおいては、アノード電極を意味する。本発明の第1の特徴に係る交流用スイッチングデバイスにおいては、nチャネル型の第2主半導体素子はオフ状態であっても、第2寄生ダイオードが内在することにより、交流電源の非接地側から電流が、第1及び第2主半導体素子を経由し、負荷を介して接地側に流れる。同様に、交流電源の非接地側がマイナス側に下降すると、nチャネル型の第2主半導体素子がターンオンし、このオン状態の第2主半導体素子と第1寄生ダイオードを介して逆方向に電流が流れる。

【0027】即ち、第1及び第2寄生ダイオードが内在することにより、本発明の第1及び第2主半導体素子は逆導通型半導体素子として機能する。このような、逆導通型半導体素子であれば、双方向性の交流用スイッチングデバイスとしての、順方向及び逆方向の電流通路を利用出来る。この第1及び第2寄生ダイオードは、DMOS構造、VMOS構造、或いはUMOS構造の縦型構造の半導体素子においては、構造的に大面積に形成するこ

とが可能であるので、オン抵抗を低く出来る。この縦型構造の半導体素子としては、埋め込み電極領域を高導電性の半導体領域等からなるシンカーで表面に導く構造でもかまわない。従って、第1及び第2主半導体素子を直列接続しても、全体としての導通損失は大きくならない。しかも、第1及び第2寄生ダイオードを利用することにより、交流用半導体ヒューズを構成する場合の過電流制御回路部の構成部品数を減らし、装置全体を小型化出来る利点を有する。

【0028】本発明の第1の特徴に係る交流用スイッチングデバイスにおいて、第1主半導体素子、第1基準半導体素子、第2主半導体素子、第2基準半導体素子、第1の比較器、第2の比較器、及び関連する回路素子を、同一半導体基板上にモノリシックに集積化すれば、回路構成を小型化出来、実装スペースを縮小出来る。モノリシックに集積化することにより、量産が可能となり、装置コストを削減出来る。具体的には、第1主半導体素子、第1基準半導体素子、第2主半導体素子、第2基準半導体素子、第1の比較器、第2の比較器、及び関連する回路素子は、互いに絶縁分離された島状の半導体領域に形成することが可能である。この場合、第2、第4、第6、第8主電極を、それぞれ島状の半導体領域の底部に設けられた埋め込み領域として形成することが出来る。

【0029】或いは、第1主半導体素子、第1基準半導体素子、第2主半導体素子、第2基準半導体素子をパワーチップに集積化し、第1の比較器、第2の比較器、第1乃至第4のトランジスタ、及び関連する回路素子等を制御チップに集積化した、マルチチップモジュール(MCM)の構成や、その他のハイブリッドICの構成でもかまわない。これらのMCMやハイブリッドICの構成によっても、回路構成を小型化出来、実装スペースを縮小出来る。或いは、第1主半導体素子、第1基準半導体素子、第2主半導体素子、第2基準半導体素子は同一パッケージ内に、個別素子としてモジュール構造で搭載しても良い。例えば、第1主半導体素子、第1基準半導体素子、第2主半導体素子、第2基準半導体素子を、同一パッケージ基板の表面に設けられた、互いに独立した導電基板の上にそれぞれ形成することが可能である。そして、第2、第4、第6、第8主電極を、それぞれの導電基板に直接接続し、それぞれ独立に取り出すことが可能である。又、第2及び第3主電極は、パッケージの内部構造として互いに接続すれば便利である。

【0030】本発明の第1の特徴に係る交流用スイッチングデバイスにおいて、第1主半導体素子をN1個の第1のユニット素子(単位セル)から構成し、第1基準半導体素子を、N2個の第1のユニット素子から構成し、 $N1 \gg N2$ とすることが好ましい。又、第2主半導体素子をN3個の第2のユニット素子から構成し、第2基準半導体素子を、N4個の第2のユニット素子から構成

し、 $N3 \gg N4$ とすることが好ましい。即ち、第1及び第2主半導体素子を、それぞれ複数個のユニット素子が並列接続されたマルチ・チャネル構造により所定の定格電流量を実現したパワーデバイスとして構成することが可能である。そして、第1及び第2基準半導体素子の電流量が主半導体素子の電流量よりも小さくなるように、それぞれの半導体素子を構成する並列接続のユニット素子数を調整して、分流比 $N1:N2$ 、若しくは分流比 $N3:N4$ を決めれば良い。例えば、第1基準半導体素子のユニット素子数 $N2=1$ に対して、第1主半導体素子のユニット素子数 $N1=1000$ となるように構成することにより、基準半導体素子と主半導体素子のチャネル幅Wの比を $1:1000$ として分流比を決めることが出来る。このような回路規定を設定することにより、第1及び第2基準半導体素子の回路構成を小型化出来、半導体チップの占有面積を効率化出来る。半導体チップの面積を縮小出来るので、実装スペースを縮小出来、更に、装置コストを削減出来る。

【0031】本発明の第2の特徴は、第1の特徴と同様な交流用半導体ヒューズに用いるためのスイッチングデバイスに関する。即ち、本発明の第2の特徴に係る交流用スイッチングデバイスは、交流電源の非接地側に接続される第1主電極、第1主電極に対向した第2主電極、チャージポンプで昇圧された第1のドライバに接続され、第1及び第2主電極を流れる主電流を制御する第1制御電極とを有し、第1主電極にカソード領域を、第2主電極にアノード領域が接続される第1寄生ダイオードを内在するnチャネル型の第1主半導体素子と、第2主電極に接続される第3主電極、第3主電極に対向し負荷に接続される第4主電極、第1のドライバとは異なる第2のドライバに接続され、第3及び第4主電極を流れる主電流を制御する第2制御電極とを有し、第3主電極にアノード領域を、第4主電極にカソード領域が接続される第2寄生ダイオードを内在するnチャネル型の第2主半導体素子とから構成されている。

【0032】本発明の第2の特徴に係る交流用スイッチングデバイスにおいて、「第1主電極」とは、IGBTのコレクタ電極、MOSTランジスタのドレイン電極、EST、MCT、SIサイリスタのアノード電極、若しくはこれらに等価な半導体素子の等価な主電極を、「第2主電極」とは、IGBTのエミッタ電極、MOSTランジスタのソース電極、EST、MCT、SIサイリスタのカソード電極等を意味し、第1の特徴とは極性が異なる。一方、第2主半導体素子は第1の特徴と同様な極性であり、「第3主電極」とは、IGBTのエミッタ電極、MOSTランジスタのソース電極、EST、MCT、SIサイリスタのカソード電極を、「第4主電極」とは、IGBTのコレクタ電極、MOSTランジスタのドレイン電極、EST、MCT、SIサイリスタのアノード電極を意味する。若しくは、第1の特徴と同様にス

スイッチ投入時において、第1制御電極は抵抗を介して接地され、交流電源の非接地側がプラス側に上昇すると、第1主半導体素子制御電極の電位は、第1主電極の電位に対して低下しnチャネル型の第1主半導体素子はターン・オン出来ない。そこで、本発明の第2の特徴に係る交流用スイッチングデバイスにおいては、第1制御電極をチャージポンプで昇圧された第1のドライバに接続することにより、第1制御電極の電位を第2主電極の電位に対して上昇するように構成し、nチャネル型の第1主半導体素子をターン・オンする。一方、スイッチ投入時に、第2制御電極は抵抗を介して接地され、第2主半導体素子制御電極の電位は、第3主電極の電位に対して低下する。このため、nチャネル型の第2主半導体素子はオフ状態である。nチャネル型の第2主半導体素子はオフ状態であっても、第2寄生ダイオードが内在することにより、電流が第1及び第2主半導体素子を經由して交流電源の非接地側から、負荷を介して接地側に流れる。同様に、交流電源の非接地側がマイナス側に下降すると、オン状態のnチャネル型の第2主半導体素子と第1寄生ダイオードを介して逆方向に電流が流れる。

【0033】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態として交流用スイッチングデバイスを説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。従って、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0034】（交流用スイッチングデバイスの等価回路表現）本発明の実施の形態に係る交流用スイッチングデバイスは、図1に示すように、交流電源112の非接地側に接続される第1主電極S1、第1主電極S1に対向した第2主電極D1、第1及び第2主電極を流れる主電流を制御する第1制御電極G1とを有し、第1主電極S1にカソード領域を、第2主電極D1にアノード領域が接続される第1寄生ダイオードD_{p1}を内在するpチャネル型の第1主半導体素子QA1と、第2主電極D1に接続される第3主電極S2、第3主電極S2に対向し負荷102に接続される第4主電極D2、第3及び第4主電極を流れる主電流を制御する第2制御電極G2とを有し、第3主電極S2にアノード領域を、第4主電極D2にカソード領域が接続される第2寄生ダイオードD_{p2}を内在するnチャネル型の第2主半導体素子QA2とから構成されている。

【0035】ここでは、具体的には、第1主半導体素子QA1はpMOSトランジスタで、第2主半導体素子QA2はnMOSトランジスタであるとして、例示的に説

明する。第1主半導体素子QA1及び第2主半導体素子QA2は、共に逆導通型の半導体素子である。つまり、pMOSトランジスタ（第1主半導体素子）QA1のドレイン電極D1とnMOSトランジスタ（第2主半導体素子）QA2のソース電極S2を接続した構成である。交流電源112の接地（GND）される側には、nMOSトランジスタ（第2主半導体素子）QA2のドレイン電極D2を接続し、接地しない側にpMOSトランジスタ（第1主半導体素子）QA1のソース電極S1を接続する。又、負荷102は接地（GND）とnMOSトランジスタQA2のドレイン電極D2の間に接続される。

【0036】ツェナーダイオードZD1はpMOSトランジスタQA1の第1ゲート電極（第1制御電極）G1とソース電極S1間を、所定の電圧、例えば12Vに保って、pMOSトランジスタQA1のゲート絶縁膜に過電圧が印加されようとした場合にこれをバイパスさせる機能を有する。同様に、ツェナーダイオードZD51はnMOSトランジスタQA2の第2ゲート電極（第2制御電極）G2とソース電極S2間を12Vに保って、ゲート絶縁膜に過電圧が印加されようとした場合にこれをバイパスさせる機能を有する。第1制御電極（第1ゲート電極）G1に接続された抵抗R8は、第1ゲート電極G1と接地の間で電位差を生じさせる。同様に、第2制御電極（第2ゲート電極）G2に接続された抵抗R58は、第2ゲート電極G2と接地の間で電位差を生じさせる。そして、スイッチSW1を投入し、両接点間を短絡することで、本発明の交流用スイッチングデバイスがオンになり、両接点間を遮断することで本発明の交流用スイッチングデバイスがオフになる。

【0037】本発明の交流用スイッチングデバイスのスイッチSW1が投入されたときの交流電流の経路は次のようになる。まず、pMOSトランジスタQA1のソース電極S1の電位が正の時は、pMOSトランジスタQA1はターン・オンする。このとき、nMOSトランジスタQA2はオフ状態である。このため、電流はpMOSトランジスタQA1のソース電極S1からドレイン電極D1を流れ、nMOSトランジスタQA2のソース電極S2とドレイン電極D2間に存在する第2寄生ダイオードD_{p2}を經由して流れる。

【0038】次に、pMOSトランジスタQA1のソース電極S1の電位が負になると、pMOSトランジスタQA1はターン・オフし、nMOSトランジスタQA2はターン・オンする。このため、電流はnMOSトランジスタQA2のドレイン電極D2からソース電極S2を流れ、pMOSトランジスタQA1のソース電極S1とドレイン電極D1間に存在する第1寄生ダイオードD_{p1}を經由して、逆方向に流れる。

【0039】（DMOSの寄生ダイオード）図2は、図1に示した第2主半導体素子QA2の具体的構造の一部として、nMOSトランジスタのユニット素子の一部を

示す断面図である。実際には、このユニット素子を、半導体チップ上に複数個（例えば、ユニット素子数 $N3=1000$ 個程度）並列配置することにより、所望の定格電流容量を実現している。

【0040】図2に示すnMOSトランジスタは、ドレイン領域となる n^+ 領域308の上に、エピタキシャル成長したドリフト領域となる n^- 領域307を配置し、このドリフト領域307の表面に、見かけ上2つのpボディ領域306を島状に対向して配置している。図2において、断面図として、見かけ上2つのpボディ領域306が示されているが、紙面の奥で連続していかまわらない。即ち、平面パターン上は、円形若しくは矩形のリング形状（ドーナツ型）で、連続したpボディ領域306を構成していかまわらない。pボディ領域306の表面には、ソース領域となる n^+ 領域305が形成されている。ソース領域となる n^+ 領域305も、円形若しくは矩形のリング形状（ドーナツ型）で、連続した拡散領域として構成していかまわらない。pボディ領域306の上部及びpボディ領域306に挟まれたドリフト領域307の上部にはゲート絶縁膜304が配置され、更にゲート絶縁膜304の上部に、第2制御電極G2としてのゲート電極303が配置されている。ゲート電極303の上部には層間絶縁膜302が配置され、この層間絶縁膜302中に開口されたコンタクトホールを介して、pボディ領域306とソース領域305を短絡するように、第3主電極S2としてのソース電極301が配置されている。ドレイン領域308の裏面には、第4主電極D2としてのドレイン電極309が形成されている。

【0041】図2に示す断面図で注目すべきは、このようなDMOS構造では、pボディ領域306と n^- ドリフト領域307との間に、pn接合構造の第2寄生ダイオード D_{p2} が内在していることである。従って、DMOSが動作するバイアス条件とは逆にして、第4主電極（ドレイン電極）309を負、第3主電極（ソース電極）301を正とするバイアス条件とすれば、この第2寄生ダイオード D_{p2} が導通し、いわゆる逆導通が生じる。

【0042】本発明においては、図1に示すように、この第2寄生ダイオード D_{p2} を積極的に電流経路として用いている。図示を省略しているが、pチャネルのDMOS構造にも同様な第1寄生ダイオード D_{p1} が内在する（第1寄生ダイオード D_{p1} は、図8に例示されている。）。この場合は、図2において、pとnの符号を逆にし、ほぼ同様な位置に、逆の極性で形成される。これらの第1及び第2寄生ダイオード D_{p1} 及び D_{p2} は、図2から明らかなように、半導体チップの底面全面に、大面積に形成されているので、オン抵抗が低く、全体としての導通損失は大きくならない。

【0043】（IGBTの寄生ダイオード）図3は、図1に示した第2主半導体素子QA2の他の具体的構造と

して、コレクタショート型のIGBTのユニット素子の一部を示す断面図である。実際には、このユニット素子は、半導体チップ上に複数個並列配置され、大電流化を実現している。図3に示すコレクタショート型IGBTは、コレクタ電極（第4主電極）329の上部にコレクタ領域となる p^+ 領域328と n^+ ショート領域337が隣接して、交互に配置し、コレクタショート構造を形成している。このコレクタ領域328と n^+ ショート領域337の上に、ドリフト領域となる n^- 領域307を配置し、このドリフト領域307の表面に2つのpベース領域326を島状に対向して配置している。図2と同様に、図3においても、断面図として、見かけ上2つのpベース領域326が示されているが、紙面の奥で連続していかまわらない。即ち、平面パターン上は、円形若しくは矩形のリング形状（ドーナツ型）で、連続したpベース領域326を構成していかまわらない。それぞれのpベース領域326の表面には、エミッタ領域となる n^+ 領域325が形成されている。エミッタ領域となる n^+ 領域325も、円形若しくは矩形のリング形状（ドーナツ型）で、連続した拡散領域として構成していかまわらない。pベース領域326の上部及びpベース領域326に挟まれたドリフト領域307の上部にはゲート絶縁膜304が配置され、更にゲート絶縁膜304の上部にゲート電極（第2制御電極）303が配置されている。ゲート電極303の上部には層間絶縁膜302が配置され、この層間絶縁膜302中に開口されたコンタクトホールを介して、pベース領域326とエミッタ領域325を短絡するようにエミッタ電極（第3主電極）321が配置されている。IGBTにおいては、ターンオン時にコレクタ領域前面のドリフト領域307に電子が蓄積され、この蓄積された電子が p^+ コレクタ領域328からの正孔（ホール）の注入を促進し、ドリフト領域307には電子と正孔の2種類のキャリアが存在して、電導度変調を生じる。従って、ドリフト領域307を厚くしても、オン抵抗は低く出来るので、高耐圧、低オン抵抗のデバイスとして用いられている。しかし、周知のように、IGBTにおいては、ターンオフ時にコレクタ領域前面のドリフト領域307に蓄積された電子が再結合により消滅するまで、テール電流が流れ続け、高速のターンオフを妨げている。図3に示すコレクタショート型構造を採用することにより、IGBTのコレクタ領域前面のドリフト領域307に蓄積された電子は、 n^+ ショート領域337を介して引き抜くことが出来るようになるので、ターンオフ時のテール電流を抑制し、高速動作が可能となる。

【0044】このようなコレクタショート型IGBTにおいては、図2に示したDMOSトランジスタと同様に、pベース領域326と n^- ドリフト領域307との間に、pn接合構造の第2寄生ダイオード D_{p2} が内在している。従って、コレクタショート型IGBTが動作

するバイアス条件とは逆バイアスにして、コレクタ電極329を負、エミッタ電極321を正とするバイアス条件とすればこの寄生ダイオードD_{p2}が導通し、いわゆる逆導通が生じる。図示を省略しているが、pチャネルのコレクタショート型IGBTにも同様な第1寄生ダイオードD_{p1}が内在する。これらの第1及び第2寄生ダイオードD_{p1}及びD_{p2}を積極的に交流用スイッチングデバイスの電流経路として用いることにより、高電圧を高速に遮断出来る。

【0045】(パッケージ構造)図4は、図1に示した構造に、更に、第1基準半導体素子(pMOSトランジスタ)QB1及び第2基準半導体素子(nMOSトランジスタ)QB2を加えた構成を示す回路図である。第1基準半導体素子QB1は、第1主半導体素子(pMOSトランジスタ)QA1と並列接続され、第2基準半導体素子QB2は、第2主半導体素子(nMOSトランジスタ)QA2と並列接続される。

【0046】即ち、第1基準半導体素子QB1は、第1主半導体素子QA1の第1主電極(ソース電極)SA1、第1制御電極(第1ゲート電極)GA1にそれぞれ接続された第5主電極(ソース電極)SB1、第3制御電極(第3ゲート電極)GB1と、第6主電極(ドレイン電極)DB1とを有する。一方、第2基準半導体素子QB2は、第2主半導体素子QA2の第3主電極(ソース電極)SA2、第2制御電極(第2ゲート電極)GA2にそれぞれ接続された第7主電極(ソース電極)SB2、第4制御電極(第4ゲート電極)GB2と、第8主電極(ドレイン電極)DB2とを有する。そして、第1主半導体素子QA1の第1主電極SA1は、交流電源112の非接地側に接続され、第2主半導体素子QA2の第4主電極DA2は、負荷102に接続されている。

【0047】ツェナーダイオードZD1は第1主半導体素子(pMOSトランジスタ)QA1の第1ゲート電極(第1制御電極)G1と第1主電極(ソース電極)SA1間を、所定の電圧、例えば12Vに保って、pMOSトランジスタQA1のゲート絶縁膜に過電圧が印加されようとした場合にこれをバイパスさせる機能を有する。同様に、ツェナーダイオードZD51は第2主半導体素子(nMOSトランジスタ)QA2の第2ゲート電極(第2制御電極)G2と第3主電極(ソース電極)SA2間を12Vに保って、ゲート絶縁膜に過電圧が印加されようとした場合にこれをバイパスさせる機能を有する。

【0048】図5は、図4に示した回路構成を具体的に実現するための大電流制御用モジュール(パッケージ)の構造を示した平面図で、図6は、図5のI-I方向に沿った断面図である。この大電流制御用モジュール(パッケージ)は数100A乃至1000Aクラスの交流電流を、異常電流を検知した場合に遮断出来る。図5に示すように、本発明の交流用スイッチングデバイスとなる

大電流制御用モジュールは、第1主半導体素子QA1、第1基準半導体素子QB1、第2主半導体素子QA2、第2基準半導体素子QB2となるMOSトランジスタを搭載した4枚の半導体チップ351、352、353及び354をセラミック基板31の上に搭載し、周辺を円形の低膨張金属製のフランジ32で囲んでいる。半導体チップ351、352、353及び354のそれぞれの上には、第1、第3、第5及び第7主電極となるソース電極パッドSA1、SA2、SB1、SB2、及び第1、第2、第3及び第4制御電極となるゲート電極パッド391、392、393及び394が配置されている。

【0049】図5及び図6に示すように、セラミック基板31の上面には電気的に分離された銅板401、402、403、404が、下面には銅板405が、それぞれ焼結による直接接合法、若しくは銀ローやアルミニウム(A1)・ロー等のロー付けにより結合している。セラミック基板31の上面の銅板401、402、403、404の外側にはフランジ32が、同様な直接接合法、若しくはロー付け等により結合している。これらのロー付けはチタン(Ti)等の表面触媒を用いた活性金属法によるロー付けであり、このようなロー付けにより、セラミック基板31と銅板401、402、403、404やフランジ32との接合面が良好な機械的強度を有して結合出来る。ロー付けの場合は、セラミック基板31と銅板401、402、403、404、405及びフランジ32との接合界面には厚さ2乃至数ミクロンのロー付け層が存在するが図示を省略している。

【0050】銅板401、402、403、404の上に、それぞれ厚さ100μm程度の半田42により半導体チップ351、352、353、354が半田付けされている。図6に示すように、第1主半導体素子QA1を搭載した半導体チップ351の主面に設けられたソース電極パッドSA1には、複数個配置された半球状の高導電性金属、若しくは半田ボールや銀バンパ等の接続導体36を介して、モリブデン製のソース電極部材の第1チップ押さえ部61がバネにより押圧されている。同様に、第1基準半導体素子QB1を搭載した半導体チップ352の主面に設けられたソース電極パッドSA2には、接続導体36を介して、ソース電極部材の第1チップ押さえ部61がバネにより押圧されている。図6において紙面の奥に配置され、図示を省略した第2主半導体素子QA2、第2基準半導体素子QB2を搭載した半導体チップ353、354についても同様である。ソース電極部材の第1チップ押さえ部61は、図7の鳥瞰図に示すように、絶縁体63を介して、ソース電極部材の背骨部64に機械的に接続されている。一方、ソース電極部材の第2チップ押さえ部62は、ソース電極部材の背骨部64に直接接続され、所定の電流が流れるように構成されている。

【0051】このようにして、ソース電極部材の第1チップ押さえ部61及び第2チップ押さえ部62が、4つの半導体チップ351、352、353、354のそれぞれのソース電極パッドSA1、SA2、SB1、SB2に圧接して、ソース電極経路が形成されている。セラミックハウジング38の端部には円環状の低膨張金属製部材39が銀ロー等のロー付けにより接続されている。そして、この円環状の低膨張金属製部材39の上部は、フランジ32の上端部と溶接されている。又、図6に示すように、4つの半導体チップ351、352、353、354のそれぞれの主面に設けられたMOSTランジスタのゲート電極パッド391、392、393、394には、プローブピン47が、インシュレータ48を介して、図示を省略したバネにより押圧されている。

【0052】図6に示すように、銅板401、402、403、404には4つの半導体チップ351、352、353、354のドレインである底面がそれぞれ半田付けされているため、銅板401、402、403、404はMOSTランジスタのドレイン電極配線部となっている。この銅板401、402、403、404の一部から銅の丸棒からなる第2、第4、第6及び第8電極となるドレイン電極DA1、DA2、DB1、DB2が半田付けにより立設されている。図7に示すように、ドレイン電極DA1は、ソース電極部材の背骨部64を貫通し、背骨部64の上部において、背骨部64と半田付けされる。ドレイン電極DA2、DB1、DB2は、セラミックハウジング38を貫通して外部に突出している。又、図7に示すように、ソース電極部材の背骨部64の上に銅の丸棒からなる中間端子Pが立設され、セラミックハウジング38を貫通して外部に突出している。第1チップ押さえ部61の上には、銅の丸棒からなるソース電極S1が立設され、セラミックハウジング38を貫通して外部に突出している。ドレイン電極DA2、DB1、DB2はセラミックハウジング38に銀ローやアルミ・ロー等のロー付けにより立設された銅のキャップ形状のドレイン電極によりカシメにより結合される。同様に、ソース電極S1はセラミックハウジング38に銀ローやアルミ・ロー等のロー付けにより立設された銅のキャップ形状のソース電極によりカシメにより結合される。更に、プローブピン47に接続された複数ゲート配線は、それぞれセラミックハウジング38にロー付けにより立設された銅のキャップ形状のゲート電極によりカシメにより結合される。

【0053】図5乃至図7に示すパッケージ構造によれば、フランジ32の下端部をセラミック基板31とロー付けされ、上端部をフランジ32に溶接接続された低膨張金属製部材39を介して、セラミックハウジング38にロー付けされ、気密空間を構成している。更に、セラミックハウジング38の上に突出しているドレイン電極DA2、DB1、DB2、ソース電極S1、ゲート

配線の貫通口をキャップ形状のドレイン電極、ソース電極、ゲート電極によりロー付けにより気密的に塞ぐことが可能である。これによって、耐湿性を極めて高くすることが出来、内部に湿気や腐食性ガスなどの侵入を完全に防止して、4つの半導体チップ351、352、353、354の故障を防止し、その信頼性を著しく高めることが出来る。

【0054】更に、半導体チップ351、352、353、354のそれぞれのソース電極パッドSA1、SA2、SB1、SB2は、アルミワイヤなどのボンディングワイヤを用いずに、接続導体36を介して、第1チップ押さえ部61及び第2チップ押さえ部62を圧接している。又、半導体チップ351、352、353、354の裏面のドレイン電極層は、銅板401、402、403、404への半田付けされている。このため、各電極経路の通電容量は極めて大きな値を確保出来る。このような通電容量の大きな導電部材により大電流制御用モジュールを構成する電極経路が形成されているため、交流用スイッチングデバイスのパワーサイクル耐量を著しく向上させることが出来る。

【0055】(集積化構造) 図8は、図4に示した回路構成をモノリシックに集積化する場合の一例を示す断面図である。図8に示すように、本発明の実施の形態に係る交流用スイッチングデバイスは、台基板501上にSOI酸化膜(埋め込み絶縁膜)502を介して真性(i型)半導体領域367、357、377、347を形成したSOI構造を基礎とし、絶縁分離構造を構成している。

【0056】即ち、底面の誘電体502及び側面の素子分離領域で分離された島状のi型半導体領域367、357、377、347を有し、この半導体領域367、357、377、347中に、それぞれ第1基準半導体素子QB1、第1主半導体素子QA1、第2主半導体素子QA2、第2基準半導体素子QB2が形成されている。なお、図8においては、島状のi型半導体領域357中にN1個の第1のユニット素子(単位セル)からなる第1主半導体素子QA1が、島状のi型半導体領域367中にN2個の第1のユニット素子から第1基準半導体素子QB1が形成されている。しかし、簡単化のため、そのうちの、それぞれの一個のユニット素子(単位セル)を図示している。同様に、島状のi型半導体領域377中には、N3個の第2のユニット素子からなる第2主半導体素子QA2が、島状のi型半導体領域347中にはN4個の第2のユニット素子からなる第2基準半導体素子QB2が形成されている。しかし、そのうちの、それぞれの一個のユニット素子(単位セル)が図示されていることに留意すべきである。島状のi型半導体領域367、357、377、347は、真性半導体領域の他、n-型(ν型)若しくはp-型(π型)の領域でもかまわない。即ち、極僅かなp型若しくはn型のド

ーバントが含まれていても、不純物密度 $1 \times 10^{11} \text{ cm}^{-3} \sim 5 \times 10^{12} \text{ cm}^{-3}$ 程度以下の、実質的にi型と見なせる領域であれば良い(以下において、この実質的にi型と見なせる領域を含めて「i型半導体領域」という。)。更に、不純物密度 $5 \times 10^{12} \text{ cm}^{-3} \sim 5 \times 10^{14} \text{ cm}^{-3}$ 程度であっても、動作時に、ほぼ完全に空乏化すれば、i型半導体領域と等価な領域である。

【0057】図8に示す素子分離領域は、SOI酸化膜(埋め込み絶縁膜)502に達するまで深く形成されたトレンチを用いて形成されている。即ち、このトレンチの側壁に形成されたトレンチ側壁絶縁膜503と、更にトレンチ側壁絶縁膜503に挟まれた半絶縁性ポリシリコン(SIPOS)504から構成されている。島状のi型半導体領域367、357、377、347の底部には、それぞれ、p+埋め込みドレイン領域368、p+埋め込みドレイン領域358、n+埋め込みドレイン領域308、n+埋め込みドレイン領域348が形成されている。これらのp+埋め込みドレイン領域368、p+埋め込みドレイン領域358、n+埋め込みドレイン領域308、n+埋め込みドレイン領域348に対しては、それぞれp+シンカー369、p+シンカー359、n+シンカー319、n+シンカー349が設けられ、半導体チップの表面に導かれている。なお、第1主半導体素子QA1は、島状のi型半導体領域357中に配置されたN1(例えば、N1=1000)個のユニット素子から、第2主半導体素子QA2は、島状のi型半導体領域377中に配置されたN3個の第2のユニット素子から構成されるので、p+シンカー359、n+シンカー319等は、それぞれのユニット素子毎に取り出してもかまわないが、複数のグループに分け、グループ毎にp+シンカー359、n+シンカー319等を取り出すようにすれば、チップ上の集積度は向上する。しかし、p+シンカー359、n+シンカー319等をそれぞれのユニット素子毎に取り出す方がオン抵抗は低くなる。低いオン抵抗を実現するためには、島状のi型半導体領域367、357、377、347の底部に配置されたp+埋め込みドレイン領域368、p+埋め込みドレイン領域358、n+埋め込みドレイン領域308、n+埋め込みドレイン領域348のそれぞれの下に、下敷き金属層を更に設ければ良い。

【0058】下敷き金属層としては、タングステン(W)、チタン(Ti)、モリブデン(Mo)等の高融点金属、これらのシリサイド(WSi_2 、 TiSi_2 、 MoSi_2)等が使用出来る。或いはこれらのシリサイドを用いたポリサイドで下敷き金属層を構成しても良い。

【0059】図8に示すように、第1基準半導体素子QB1となるpMOSトランジスタは、ドレイン領域となるp+埋め込み領域368の上に、i型半導体領域36

7をドリフト領域とし、このドリフト領域367の表面に、nボディ領域366を島状に配置している。nボディ領域366の表面には、ソース領域となるp+領域365が形成されている。nボディ領域366の上部及びnボディ領域366に挟まれたドリフト領域367の上部にはゲート絶縁膜364が配置され、更にゲート絶縁膜364の上部に第3制御電極(第3ゲート電極)363が配置されている。ゲート電極363の上部には層間絶縁膜302が配置され、この層間絶縁膜302中に開口されたコンタクトホールを介して、nボディ領域366とソース領域365を短絡するように第5主電極(ソース電極)361が配置されている。p+埋め込みドレイン領域368に接続したp+シンカー369には第6主電極(ドレイン電極)370が形成されている。

【0060】第1主半導体素子QA1となるpMOSトランジスタは、ドレイン領域となるp+埋め込み領域358の上に、i型半導体領域357をドリフト領域とし、このドリフト領域357の表面に、nボディ領域356を島状に配置している。nボディ領域356の表面には、ソース領域となるp+領域355が形成されている。nボディ領域356の上部及びnボディ領域356に挟まれたドリフト領域357の上部にはゲート絶縁膜354が配置され、更にゲート絶縁膜354の上部に第1制御電極(第1ゲート電極)353が配置されている。ゲート電極353の上部には層間絶縁膜302が配置され、この層間絶縁膜302中に開口されたコンタクトホールを介して、nボディ領域356とソース領域355を短絡するように第1主電極(ソース電極)351が配置されている。p+埋め込みドレイン領域358に接続したp+シンカー359には、第2主半導体素子QA2のソース電極301が延長形成され、p+埋め込みドレイン領域358と第2主半導体素子QA2のソース電極301とを互いに接続している。従って、第2主半導体素子QA2のソース電極301は、第2主電極(ドレイン電極)と接続する中間端子配線Pを構成している。又、図示を省略しているが、第1基準半導体素子QB1のソース電極361と第1主半導体素子QA1のソース電極351とは紙面の奥の方で互いに接続されている。

【0061】第2主半導体素子QA2となるnMOSトランジスタは、ドレイン領域となるn+領域308の上に、i型半導体領域377をドリフト領域とし、このドリフト領域377の表面に、pボディ領域306を島状に配置している。pボディ領域306の表面には、ソース領域となるn+領域305が形成されている。pボディ領域306の上部及びpボディ領域306に挟まれたドリフト領域377の上部にはゲート絶縁膜304が配置され、更にゲート絶縁膜304の上部に第2制御電極(第2ゲート電極)303が配置されている。ゲート電極303の上部には層間絶縁膜302が配置され、この

層間絶縁膜302中に開口されたコンタクトホールを介して、pボディ領域306とソース領域305を短絡するように第1主電極（ソース電極）となる中間端子配線301が配置されている。n⁺埋め込みドレイン領域308に接続したn⁺シンカー319には第4主電極（ドレイン電極）310が形成されている。

【0062】第2基準半導体素子QB2となるnMOSトランジスタは、ドレイン領域となるn⁺領域348の上に、i型半導体領域347をドリフト領域とし、このドリフト領域347の表面に、pボディ領域346を島状に配置している。pボディ領域346の表面には、ソース領域となるn⁺領域345が形成されている。pボディ領域346の上部及びpボディ領域346に挟まれたドリフト領域347の上部にはゲート絶縁膜344が配置され、更にゲート絶縁膜344の上部に第4制御電極（第4ゲート電極）343が配置されている。ゲート電極343の上部には層間絶縁膜302が配置され、この層間絶縁膜302中に開口されたコンタクトホールを介して、pボディ領域346とソース領域345を短絡するように第7主電極（ソース電極）341が配置されている。図示を省略しているが、n⁺埋め込みドレイン領域348には、n⁺シンカーが接続され、n⁺シンカーに第8主電極（ドレイン電極）が接続されている。又、図示を省略しているが、第2基準半導体素子QB2のソース電極341と第2主半導体素子QA2のソース電極301とは紙面の奥の方で互いに接続されている。

【0063】そして、既に図2を用いて説明したように、第1主半導体素子QA1のnボディ領域356とp⁺埋め込みドレイン領域368との間に、pn接合構造の第1寄生ダイオードD_{p1}が内在している。更に、第2主半導体素子QA2のpボディ領域306とn⁺埋め込みドレイン領域308との間に、pn接合構造の第2寄生ダイオードD_{p2}が内在している。従って、ドレイン電極310を負、中間端子配線Pを正とするバイアス条件とすれば寄生ダイオードD_{p2}が導通し、中間端子配線Pを正、ソース電極351を負とするバイアス条件とすれば寄生ダイオードD_{p1}が導通する。

【0064】図8に示す交流用スイッチングデバイスは、以下のようにすれば製造出来る。

【0065】(a) 台基板501としては不純物密度 $5 \times 10^{12} \text{ cm}^{-3} \sim 1 \times 10^{15} \text{ cm}^{-3}$ 程度で厚さ250～600 μm のp型シリコン基板を用い、この表面に熱酸化法又はCVD法等により厚さ1～10 μm の埋め込み絶縁膜（SOI酸化膜）502を形成し、その表面を鏡面に研磨する。3 μm 程度以上の厚い埋め込み絶縁膜（SOI酸化膜）502を形成するには、高圧酸化法等を用いても良い。

【0066】(b) 次に、不純物密度 $1 \times 10^{11} \text{ cm}^{-3} \sim 5 \times 10^{12} \text{ cm}^{-3}$ 程度以下の、実質的にi型と見なせるシリコン基板（以下において「i型基板」と

いう。）の表面に、フォトリソグラフィ法、及びイオン注入法等を用いて、選択的に、p⁺埋め込みドレイン領域368、p⁺埋め込みドレイン領域358、n⁺埋め込みドレイン領域308、n⁺埋め込みドレイン領域348を形成する。そして、p⁺埋め込みドレイン領域368、p⁺埋め込みドレイン領域358、n⁺埋め込みドレイン領域308、n⁺埋め込みドレイン領域348の形成された面を、SOI酸化膜502に接するようにして、i型基板とp型シリコン（台基板）1とを貼り合わせる。又、SDB法は電圧をかけて熱処理する陽極接合法でも良い。SDB法による貼り合わせ後、i型基板は所望の厚み、例えば1～30 μm になるように研磨し、その厚みを調整すれば良い。なお、低いオン抵抗を実現するためにp⁺埋め込みドレイン領域368、p⁺埋め込みドレイン領域358、n⁺埋め込みドレイン領域308、n⁺埋め込みドレイン領域348のそれぞれに下敷き金属層を設ける場合は、タングステン（W）、チタン（Ti）、モリブデン（Mo）等の高融点金属をCVD、スパッタリング、真空蒸着で堆積すれば良い。或いは、タングステン（W）、チタン（Ti）、モリブデン（Mo）等を堆積後、更に所定の温度でアニール（シリサイド化）を行い、 WSi_2 、 TiSi_2 、 MoSi_2 等のシリサイドを形成しても良い。シリサイドは、CVDやスパッタリングで直接形成も可能である。更に、ポリシリコンのCVDを併用して、これらのシリサイドを用いたポリサイドを構成し、下敷き金属層を構成しても良い。そして、この下敷き金属層とSOI酸化膜502とが接するようにして、i型基板とp型シリコン（台基板）1とをSDB法により貼り合わせれば良い。

【0067】(c) その後、厚みが調整されたi型基板の表面を、化学的エッチングし、表面のダメージ層を除去する。そして、この表面に熱酸化法により厚さ0.3～1 μm の酸化膜を形成する。そして、フォトリソグラフィ法を用いて、この酸化膜34に、図8に示すよう素子分離領域に対応した格子状の開口部パターンを形成する。格子状の開口部パターンは、フォトリソグラフィにより、p⁺埋め込みドレイン領域368、p⁺埋め込みドレイン領域358、n⁺埋め込みドレイン領域308、n⁺埋め込みドレイン領域348のパターンにマスク合わせをして、対応するフォトレジストのマスクをパターンニングすれば良い。そして、このフォトレジストのマスクを利用して、まず、 CF_4 等を用いたRIE法、若しくはECREッチング法等により酸化膜をエッチングする。そして、酸化膜のエッチングに用いたフォトレジストを除去し、酸化膜をマスクとして、i型基板を $\text{CF}_4 + \text{O}_2$ 、 $\text{SF}_6 + \text{O}_2$ 、 $\text{SF}_6 + \text{H}_2$ 、 CCl_4 、或いは SiCl_4 等を用いたRIE法、マイクロ波プラズマエッチ法、若しくはECREッチング法等によりエッチングし、i型基板中に素子分離用トレンチ

(溝)を形成する。下敷き金属層を設けた場合は、下敷き金属層を貫通して素子分離用トレンチ(溝)を形成する。

【0068】(d)次に、熱酸化法により、素子分離用トレンチの内壁にトレンチ側壁絶縁膜(酸化膜)503を形成する。その後、不純物を添加しない多結晶シリコン、或いは酸素を添加した半絶縁性ポリシリコン等をCVDすることにより素子分離用トレンチの内部を埋め込み、化学的機械研磨(CMP)等により表面を平坦化し、多結晶シリコン等を埋め込み、素子分離領域を形成する。この結果、互いに独立したi型半導体領域367、357、377、347、...が形成される。

【0069】(e)この後は、標準的なCMOSプロセスで、pMOSトランジスタ、nMOSトランジスタを形成すれば良い。これらの公知のICプロセスの説明は省略する。なお、標準的なCMOSプロセスで行われるように、選択的なイオン注入と、その後のドライブイン・アニール等を用いて、i型半導体領域367、357にpウェルを、i型半導体領域377、347にnウェルを形成してもかまわない。しかし、動作の本質に変わらないので、i型半導体領域367、357、377、347をそのままドリフト領域として使用出来る。i型半導体領域367、357、377、347をそのままドリフト領域として使用すれば、工程数が削減出来るので好ましい。

【0070】なお、上記説明は絶縁分離構造の場合であるが、接合分離構造でも、従来周知の半導体製造技術を応用し、同様な構造を製造出来ることは勿論である。

【0071】(パワーICの回路)図9は本発明の実施の形態に係るパワーICの回路図である。本発明のパワーICはpMOSトランジスタ(第1主半導体素子QA1)のドレイン電極(第2主電極)とnMOSトランジスタ(第2主半導体素子QA2)のソース電極(第3主電極)を接続したものである。交流電源112の接地される側に第2主半導体素子QA2のドレイン電極(第4主電極)を接続し、接地しない側に第1主半導体素子QA1のソース電極(第1主電極)を接続する。又、負荷102は接地と第2主半導体素子QA2のドレイン電極の間に接続される。ツェナーダイオードZD1は第1主半導体素子QA1の第1制御電極(第1ゲート電極)とソース電極S間を12Vに保って、ゲート絶縁膜に過電圧が印加されようとした場合にこれをバイパスさせる機能を有する。ツェナーダイオードZD51は第2主半導体素子QA2の第2制御電極(第2ゲート電極)とソース電極SA間を12Vに保って、ゲート絶縁膜に過電圧が印加されようとした場合にこれをバイパスさせる機能を有する。抵抗R8は第1ゲート電極と接地の間で電位差を生じさせるための抵抗であり、スイッチSW2をオンすることで抵抗R8を接地する。R58は第2ゲート電極と接地の間で電位差を生じさせるための抵抗であ

り、スイッチSW2をオンすることでR58を接地する。

【0072】図9に示すように、本発明のパワーICにおいては、第1主半導体素子QA1と同型で電流容量の小さいMOSトランジスタ(第1基準半導体素子QB1)が、第1主半導体素子QA1のソース電極、ゲート電極に接続されている。又第2主半導体素子QA2と同型で電流容量の小さいMOSトランジスタ(第2基準半導体素子QB2)が、第2主半導体素子QA2のソース電極、ゲート電極に接続され、ドレイン電極が基準抵抗Rrに接続されている。例えば、第1主半導体素子QA1をN1個の第1のユニット素子(単位セル)から構成し、第1基準半導体素子QB1を、N2個の第1のユニット素子から構成し、 $N1 \gg N2$ とすれば良い。又、第2主半導体素子QA2をN3個の第2のユニット素子から構成し、第2基準半導体素子QB2を、N4個の第2のユニット素子から構成し、 $N3 \gg N4$ とすれば良い。即ち、第1主半導体素子QA1及び第2主半導体素子QA2を、それぞれ複数個のユニット素子が並列接続されたマルチ・チャネル構造により所定の定格電流容量を実現したパワーデバイスとして構成し、第1基準半導体素子QB1及び第2基準半導体素子QB2の電流容量が、主半導体素子の電流容量よりも小さくなるように、それぞれの半導体素子を構成する並列接続のユニット素子数を調整して、分流比 $N1:N2$ 、若しくは分流比 $N3:N4$ を決めれば良い。例えば、第1基準半導体素子QB1のユニット素子数 $N2=1$ に対して、第1主半導体素子QA1のユニット素子数 $N1=1000$ となるように構成することにより、第1基準半導体素子と第1主半導体素子のチャネル幅Wの比を $1:1000$ として分流比を決めることが出来る。第2基準半導体素子と第2主半導体素子のチャネル幅Wについても、同様に決めることが可能である。

【0073】第1の比較器CMP1の“+”入力端子は抵抗R1を介して第1主半導体素子QA1の第2主電極(ドレイン電極)に接続され、“-”入力端子は抵抗R2を介して第1基準半導体素子QB1の第6主電極(ドレイン電極)に接続されている。第2の比較器CMP2も同様に、“+”入力端子は抵抗R72を介して第2主半導体素子QA2の第4主電極(ドレイン電極)に接続され、“-”入力端子は抵抗R71を介して第2基準半導体素子QB2の第8主電極(ドレイン電極)に接続されている。

【0074】第1主電極Sと第1の比較器CMP1の電源端子(高電位側)の間には第1のトランジスタQ1が接続され、第1の比較器CMP1の電源端子(低電位側)のと接地電位間には抵抗R9が接続されている。一方、第2主電極DAと第2の比較器CMP2の電源端子(低電位側)の間には、第2のトランジスタQ71が、第2の比較器CMP2の電源端子(高電位側)と接地電

位間には抵抗R59が接続されている。そして、第1の比較器CMP1の電源端子には、第3のトランジスタQ2のエミッタ電極を、第1の比較器CMP1の出力端子には第3のトランジスタQ2のベース電極が接続されている。同様に、第2の比較器CMP2の電源端子には、第4のトランジスタQ72のエミッタ電極が、第2の比較器CMP2の出力端子には第4のトランジスタQ72のベース電極が接続されている。このようにして、第1の比較器CMP1の出力端子は第3のトランジスタQ2を介して、第1主半導体素子QA1と第1基準半導体素子QB1の第1及び第3ゲート電極に接続されている。同様に、第2の比較器CMP2の出力端子は、第4のトランジスタQ72を介して、第2主半導体素子QA2と第2基準半導体素子QB2の第2及び第4ゲート電極に接続されている。

【0075】そして、第3のトランジスタQ2のコレクタ電極には、逆流防止ダイオードD4が接続され、この逆流防止ダイオードD4には、オン/オフ積算回路801が接続されている。

【0076】図9に示すように、本発明のパワーICは、更に、第1主電極Sと接地電位GND間に接続された4個のダイオードD11、D12、D13、D14からなるブリッジ回路を更に有する。そして、このブリッジ回路の2つの中点間には、電源コンデンサC4が接続されている。更に、この電源コンデンサC4の両端間には、電源抵抗R33と、電源ツェナーダイオードZD4とからなる直列回路とが更に接続されている。電源ツェナーダイオードZD4の両端の電位は、オン/オフ積算回路801の電源電圧として用いられる。

【0077】(パワーICの動作)次に、本発明の実施の形態に係るパワーICの動作を図9の回路図を用いて説明する。

【0078】1. 交流電圧 V_0 が接地電位(GND)に対してプラス側にある時の動作:

(a) 交流電圧 V_0 は、実効値100V、周波数50Hzの商用電圧とし、交流電源112の片側は接地されているものとする。まず、スイッチSW2をオンすると、第1主半導体素子QA1、第1基準半導体素子QB1、第2主半導体素子QA2、第2基準半導体素子QB2のゲート電極はスイッチSW2、抵抗R8、R58等を介して接地される。交流電源112の非接地側がプラス側に上昇すると、第1主半導体素子QA1、第1基準半導*

$$V_2 = V_0 - 0.3V - 12V - 0.7V = V_0 - 13V \dots (1)$$

となる。V3は抵抗R3による電圧降下分だけV2より低い電位にクランプされる。従って、入力端子電位V2、V3がダイオードD2、D3によりクランプされているときは $V_2 > V_3$ となり、第1の比較器CMP1の出力は“H”に維持される。この状態ではバイポーラトランジスタQ2のベース電流が流れないのでバイポーラトランジスタQ2はオフ状態となる。

* 体素子QB1、第2主半導体素子QA2、第2基準半導体素子QB2のゲート電極の電位は、ソース電極の電位に対して、いずれも低下する。このため、第1主半導体素子QA1、第1基準半導体素子QB1はpチャネルのためターン・オンする。一方、第2主半導体素子QA2、第2基準半導体素子QB2は、nチャネルのためターン・オフする。その結果、電流は交流電源112の非接地側から、第1主半導体素子QA1、第2主半導体素子QA2の寄生ダイオード、負荷102を介して、交流電源112の接地電位(GND)側へ流れる。

【0079】(b) 第1主半導体素子QA1、第1基準半導体素子QB1のゲート電極の電位は、ソース電極の電位に対して、次第に下降する。しかし、第1主半導体素子QA1、第1基準半導体素子QB1のソース・ゲート間の電位差はツェナー・ダイオードZD1により、クランプされ、ツェナー・ダイオードZD1のツェナー電圧12V以上にはならない。

【0080】(c) 交流電源112の非接地側から、抵抗R11、R10、ダイオードD7を介してツェナー・ダイオードZD3に電源電圧 V_0 が印加される。電源電圧 V_0 が、上昇し、ツェナー・ダイオードZD3の両端に印加される電圧が、ツェナー電圧80V以上になると、ツェナー・ダイオードZD3が導通する。このため、バイポーラトランジスタQ1のベース電流が流れ、バイポーラトランジスタQ1はターン・オンする。このため、第1の比較器CMP1に電源が印加され過電流判定機能が動作し始める。そして、バイポーラトランジスタQ1→ツェナー・ダイオードZD2→抵抗R9→GNDの経路で電流が流れるため、第1の比較器CMP1の両端の電位差はツェナー・ダイオードZD2のツェナー電圧12Vにクランプされる。電源電圧 V_0 の残りの電圧 $V_0 - 12V$ は抵抗R9の両端に掛かる。

【0081】(d) 第1の比較器CMP1の入力端子の電位をV2、V3とすると、V2、V3はダイオードD2、D3により、ツェナー・ダイオードZD2のアノード電位にクランプされる。V2はツェナー・ダイオードZD2アノード電位より、ダイオードD2の順方向電圧降下分0.7V低い電位までは下がるがそれ以下にはならない。バイポーラトランジスタQ1のオン電圧を0.3Vとすると、ツェナー・ダイオードZD2のツェナー電圧は12Vだから、

※【0082】(e) 第1主半導体素子QA1、第1基準半導体素子QB1のそれぞれのドレイン電極DA、DBの電位 V_{DA} 、 V_{DB} がツェナー・ダイオードZD2アノードより高くなると第1の比較器CMP1は過電流判定を開始する。第1基準半導体素子QB1のドレイン電極DB→抵抗R2→抵抗R6→ダイオードD1→抵抗R8→スイッチSW2→GNDの経路で流れる電流によ

り、抵抗R2に電圧降下が発生し、 $V_{DA} = V_{DB}$ であっても、第1の比較器CMP1は(“+”入力端子の電位) > (“-”入力端子の電位)となる。上述したように第1主半導体素子QA1のユニット素子の個数をN1、第1基準半導体素子QB1のユニット素子の個数をN2とし、 $N1 > N2$ (例えば、 $N1 : N2 = 100 : 1$)

$$R_{onA1} = R_u / N1$$

$$R_{onB1} = R_u / N2$$

となる。第1主半導体素子QA1と交流電源112(接地側)間の抵抗は正常状態では負荷抵抗RLと配線抵抗

$$R_T = R_L + R_I + R_X$$

のように表される。ここで、インダクタンス等価抵抗RXは、配線インダクタンスにより、負荷電流の変化に伴い発生する誘起電圧を抵抗に換算したものである。インダクタンス等価抵抗RXは電流が増加しているときは正で、減少しているときは負となる。全負荷抵抗RTは負荷及び配線が正常である限り、部品間のバラツキはあるものの、ある特定の範囲の値を示す。負荷抵抗RLが短絡故障するか、配線が短絡接地、又は不完全短絡接地(有限な抵抗値を介した接地)すると全負荷抵抗RTは正常状態のときより小さくなる。正常状態を逸脱した過★

$$I_{DLim} = (V_0 - R_{onA1}) / R_{Lim} \approx V_0 / R_{Lim} \quad \dots (5)$$

となる。このときの第1主半導体素子QA1のドレイン☆ ☆・ソース間電圧を V_{SDA} とすると、

$$V_{SDA} = I_{DLim} \times R_{onA1} = V_0 / R_{Lim} \times R_u / N1 \quad \dots (6)$$

となる。一方、第1基準半導体素子QB1を流れる電流◆ ◆値を I_{DB1} とすると、

$$I_{DB1} = (V_0 - R_{onB1} - V_{FD}) / R_r \approx V_0 / R_r \quad \dots (7)$$

となる。ここで、 V_{FD} は、第1基準半導体素子QB1のドレイン電極に接続されたダイオードD8の順方向電★ B1のドレイン・ソース間電圧を V_{SDB} とすると、

$$V_{SDB} = I_{DB1} \times R_{onB1} = V_0 / R_r \times R_u / N2 \quad \dots (8)$$

となる。 $V_{SDA} = V_{SDB}$ となるように基準抵抗Rr ※30※を設定すると(6)式、(8)式より、

$$V_0 / R_{Lim} \times R_u / N1 = V_0 / R_r \times R_u / N2 \quad \dots (9)$$

$$\therefore R_r = N1 / N2 \times R_{Lim} = 1000 \times R_{Lim} \quad \dots (10)$$

となる。即ち、(10)式を満足するように基準抵抗Rrを設定すると正常状態では $V_{SDA} < V_{SDB}$ となり、過負荷状態(配線又は負荷の異常状態)では $V_{SDA} > V_{SDB}$ となる。第1主半導体素子QA1と第1基準半導体素子QB1のソース間、ゲート間が結合されているので、正常状態では $V_{DA} > V_{DB}$ となり、異常状態では $V_{DA} < V_{DB}$ となる。従って第1主半導体素子QA1、第1基準半導体素子QB1のドレイン電位 V_{DA} 、ドレイン電位 V_{DB} を比較することにより、負荷及び配線が正常か否かを判定出来ることになる。

【0083】(f)第1主半導体素子QA1に正常電流が流れている間は $V_{DA} > V_{DB}$ となり、第1の比較器CMP1の出力は“H”となる。バイポーラトランジスタQ2はオフとなり、第1主半導体素子QA1、第1基準半導体素子QB1はオンし続ける。第1主半導体素子QA1に過電流が流れて $V_{DA} < V_{DB}$ となり、第1の比較器CMP1の出力が“L”になると、バイポーラトランジスタQ2がターン・オンし、第1主半導体素子Q★50

*0:1)となるように構成している。従って、第1主半導体素子QA1、第1基準半導体素子QB1のオン抵抗をそれぞれ R_{onA1} 、 R_{onB1} とし、pチャネルMOSトランジスタ(ユニット素子)1個のオン抵抗を R_u とすると、

$$\dots (2)$$

$$\dots (3)$$

※RIとインダクタンス等価抵抗RXを足し合わせたものがある。これを全負荷抵抗RTとすると、

$$\dots (4)$$

★負荷状態の範囲内で、正常状態に近いところの抵抗値を R_{Lim} とすると、(正常状態の全負荷抵抗RT) > R_{Lim} となる。全負荷抵抗RTが R_{Lim} より小さくなったときを過負荷と判定する。第1の比較器CMP1が過負荷判定を行う交流電圧 V_0 の範囲、即ち、 $80V < V_0 < 141V$ において、負荷抵抗RLが R_{Lim} に等しいときに第1主半導体素子QA1を流れる電流値を I_{DLim} とすると、第2主半導体素子QA2の寄生ダイオードDp2のオン抵抗は無視出来る程度に小さいから、

$$\dots (5)$$

☆・ソース間電圧を V_{SDA} とすると、

$$\dots (6)$$

◆値を I_{DB1} とすると、

$$\dots (7)$$

*圧降下電圧(オン電圧)である。第1基準半導体素子QB1のドレイン・ソース間電圧を V_{SDB} とすると、

$$\dots (8)$$

※30※を設定すると(6)式、(8)式より、

$$\dots (9)$$

$$\dots (10)$$

★A1、第1基準半導体素子QB1のゲートはソースより約0.6V低い電圧にクランプされ第1主半導体素子QA1、第1基準半導体素子QB1がオフ動作に入る。このとき、第1の比較器CMP1の“-”入力端子に接続された抵抗R6を流れる電流が減少するため、抵抗R2の電圧降下が小さくなり、“-”入力端子の電位が上がるにより、ヒステリシス効果が発生する。(g)第1主半導体素子QA1、第1基準半導体素子QB1がオフ動作に入っても過負荷状態にあるときは $V_{DA} < V_{DB}$ が維持されるので、第1主半導体素子QA1、第1基準半導体素子QB1はオフ状態を続け、第1主半導体素子QA1、第1基準半導体素子QB1のソース・ドレイン間の電位差が拡大する。これに伴い、第1の比較器CMP1の入力端子電位V2、V3は低下して行き、ダイオードD2、D3によりツェナー・ダイオードZD2のアノード側電位にクランプされる。これにより第1の比較器CMP1の出力は“L”から“H”に変わり、バイポーラトランジスタQ2はオフに向かう。第1の比較

器CMP1はオープンコレクタの比較器を用いているので、第1の比較器CMP1の出力が“H”であっても、コンデンサC1の充電電流が流れる間はバイポーラトランジスタQ2のベース電流が流れ、バイポーラトランジスタQ2はオンを続ける。コンデンサC1が充電され、バイポーラトランジスタQ2がターン・オフする頃にはドレイン電位 V_{DA} 、ドレイン電位 V_{DB} はGND電位近くまで低下する。即ち第1の比較器CMP1の出力が反転してから、第1主半導体素子QA1、第1基準半導体素子QB1がターン・オンするまでに時間差を設けている。

(h) バイポーラトランジスタQ2がターン・オフすると、第1主半導体素子QA1、第1基準半導体素子QB1のゲート電極の電位は下降し、第1主半導体素子QA1、第1基準半導体素子QB1はターン・オンする。従って、ドレイン電位 V_{DA} 、ドレイン電位 V_{DB} は上昇に転じる。ドレイン電位 V_{DA} 、ドレイン電位 V_{DB} がツェナー・ダイオードZD2のアノード電位を上回ると、負荷が過負荷状態にあれば再度第1の比較器CMP1の出力は“L”になる。このため、バイポーラトランジスタQ2がターン・オンし、第1主半導体素子QA1、第1基準半導体素子QB1はオフ動作に入る。このようにして、 $V_0 > 80V$ の範囲で過負荷状態が続けば、第1主半導体素子QA1、第1基準半導体素子QB1は、オン/オフ動作を繰り返す。

【0084】2. 交流電圧 V_0 が接地電位に対してマイナス側にあるときの動作：上述の交流電圧 V_0 がプラス側にあるときの動作とほぼ対称的に動作する。第1主半導体素子QA1、第1基準半導体素子QB1に対応するのが、第2主半導体素子QA2、第2基準半導体素子QB2であるが、交流電圧 V_0 が接地電位に対してマイナスとなるため、第1主半導体素子QA1、第1基準半導体素子QB1がpチャネルMOSトランジスタであるのに対し、第2主半導体素子QA2、第2基準半導体素子QB2はnチャネルMOSトランジスタとなる。又、バイポーラトランジスタQ1、Q2に対応するのがバイポーラトランジスタQ71、Q72であるが、前者がpnバイポーラトランジスタであるのに対し、後者はnpnバイポーラトランジスタとなる。電流の向き、電圧の向きが反対になる以外は交流電圧 V_0 がプラス側にあるときと同じように動作するので、説明を省略する。

【0085】3. オン/オフ回数積算：

(a) 過負荷状態となり、オン/オフ動作している間はバイポーラトランジスタQ2又はQ72がオン/オフしている。一方、交流電圧 V_0 がブリッジ回路を形成するダイオードD11、D12、D13、D14に加わり、交流電圧 V_0 がプラスのときは交流電源112→ダイオードD11→コンデンサC4→ダイオードD14→GNDの経路で電流が流れ、コンデンサC4を充電する。交流電圧 V_0 がマイナスのときはGND→ダイオードD1

3→コンデンサC4→ダイオードD12→交流電源112の経路で電流が流れコンデンサC4を同じ向きに充電する。コンデンサC4の電圧は脈動するので、コンデンサC4に抵抗R33とツェナー・ダイオードZD4からなる直列回路を並列接続し、ツェナー・ダイオードZD4の両端の電位差をフローティング電源として用いる。これはNAND1、NAND2及び比較器CMP3からなるオン/オフ積算回路801の電源となる。NAND1とNAND2とにより、NAND型フリップ・フロップ回路を構成している。ツェナー・ダイオードZD4の両端の電位差を利用したフローティング電源の電圧を抵抗R31、R32で分圧して比較器CMP3の“+”入力端子に基準電圧として加える。比較器CMP3の“-”入力端子は正常状態ではフローティング電源のゼロ電位、即ちツェナー・ダイオードZD4のアノード電位に等しくなり、比較器CMP3の出力は“H”となる。スイッチSW2がオフのとき交流電圧 V_0 がプラスになると、交流電源112の非接地側から、抵抗R11、R10、ダイオードD7、ツェナー・ダイオードZD3を介して（若しくは、ツェナー・ダイオードZD1、抵抗R8を介して）、インバータI1の入力に“H”が印加される。このため、インバータI1の出力が“L”になり、NAND1の出力Q（バー）は“L”にセットされる。スイッチSW2がオン状態になり、且つ比較器CMP3の出力が“H”である間は“L”を維持する。

【0086】(b) 交流電圧 V_0 のプラス側サイクルで過負荷状態が発生するとバイポーラトランジスタQ2がターン・オンし、バイポーラトランジスタQ2→逆流防止ダイオードD4→抵抗R12→コンデンサC3の経路で電流が流れて、コンデンサC3を充電する。交流電圧 V_0 がマイナス側サイクルで過負荷状態となるときはトランジスタQ72がターン・オンすることにより、バイポーラトランジスタQ4がターン・オンし、バイポーラトランジスタQ4→ダイオードD5→抵抗R12→コンデンサC3の経路で電流が流れてコンデンサC3を充電する。オン/オフを繰り返すことにより、オン/オフ積算回路801のコンデンサC3が充電されて、比較器CMP3の“-”入力端子の電位上昇する。所定の回数のオン/オフを繰り返すことにより、比較器CMP3の“-”入力端子電位が“+”入力端子電位（基準値）を超えると、比較器CMP3の出力が“L”になる。このため、NAND1の出力Q（バー）は“L”から“H”に変わる。この結果、交流電圧 V_0 のプラス側サイクルでは、ダイオードD6→抵抗R13→トランジスタQ3のベース電極の経路で電流が流れ、Q3がターン・オンし、従ってバイポーラトランジスタQ2がターン・オンし、第1主半導体素子QA1、第1基準半導体素子QB1は遮断される。又、交流電圧 V_0 のマイナス側サイクルではダイオードD56→抵抗R63→トランジスタQ72のベース電極の経路で電流が流れ、第2主半導体素

子QA2、第2基準半導体素子QB2が遮断される。一旦遮断されるとスイッチSW2がオンの間は遮断状態が保持される。

【0087】(c)第1主半導体素子QA1、第2主半導体素子QA2が温度センサ内蔵スイッチング素子で構成されている場合は、第1主半導体素子QA1又は第2主半導体素子QA2が過熱遮断すると上記ラッチ回路を同様に反転させ、遮断状態を保持するように回路を構成する。

【0088】(パワーICのスイッチング特性)図10は本発明の実施の形態に係るパワーICの電圧波形である。Voは図9に示す電源電圧の波形である。図10中のV2、V3は第1の比較器CMP1(第2の比較器CMP2)の“+”入力端子電位、“-”入力端子電位である。図10中のV1②は正常状態における第1主半導体素子QA1(若しくは、第2主半導体素子QA2)のドレイン電圧波形で、ソース・ドレイン間電圧と寄生ダイオード電圧降下を足した分だけVoより低くなっている。一方、V1③は過負荷状態における第1主半導体素子QA1のドレイン電圧波形である。上述のように第1主半導体素子QA1(第2主半導体素子QA2)がオン/オフ動作を行うのでドレイン電圧波形は振動波形となる。このとき第1の比較器CMP1(第2の比較器CMP2)の入力端子電位V2、V3の取り得る範囲は過負荷判定機能が働く、Vo>80V、又はVo<-80Vの範囲で、図中の斜線で示す領域になる。ここで、V2、V3がVoから13Vまでしか小さくならないのにV1③の振動波形はこれを大きく下回っているのは、図9の第1の比較器CMP1の出力端に接続したコンデンサC1によって、第1主半導体素子QA1がオフしている時間が実質的に延びるためである。

【0089】図10では、省略しているが、交流電圧Voが接地電位に対してマイナス側にある場合も、交流電圧Voが接地電位に対してプラス側にある場合と同様に、過負荷状態では、第2主半導体素子QA2のドレイン電圧波形が、振動波形となる。このとき、V2、V3がVoから、絶対値で、13Vまでしか小さくならないのに、V1③の振動波形はこれを大きく越えて振動する。これは、第2の比較器CMP2の出力端に接続したコンデンサC2によって第2主半導体素子QA2がオフしている時間が実質的に延びるためである。

【0090】(パワーICの構造)そして、本発明のパワーICにおいて、図9の回路図に示した第1主半導体素子QA1、第1基準半導体素子QB1、第2主半導体素子QA2、第2基準半導体素子QB2、第1の比較器CMP1、第2の比較器CMP2、オン/オフ積算回路801、インバータI1、ブリッジ回路等のすべての回路素子を同一半導体チップ上に集積化して、モノリシック・パワーICを構成しても良い。所定の回路を、すべて同一半導体チップ上に集積化すれば、極めて軽量・小型

なパワーICが実現出来る。

【0091】或いは、図11に示すように、第1主半導体素子QA1、第1基準半導体素子QB1、第2主半導体素子QA2、第2基準半導体素子QB2を同一の半導体チップ上(パワーチップ)911に集積化し、第1の比較器CMP1、第2の比較器CMP2、オン/オフ積算回路801、インバータI1、ブリッジ回路等の制御回路を、パワーチップ911とは異なる他の半導体チップ(制御チップ)912上に集積化し、パワーチップ911及び制御チップ912を同一のパッケージ基板901上に実装した、マルチチップモジュール(MCM)やハイブリッドICの構成でもかまわない。

【0092】図11に示すMCMは、パッケージ基板901上に設けられた導電性の支持板902と、この支持板902上に配置されているパワーチップ911及び制御チップ912と、同じく支持板902上に、絶縁板913を介して形成された中継端子921~925とを有する。パッケージ基板901の外縁部には、T1端子となる第1リード971、T2端子となる第2リード972、GND端子となる第3リード973、T3端子となる第4リード974、T4端子となる第5リード975が設けられている。

【0093】そして、パワーチップ911上のボンディングパッド933~937及び、制御チップ912上のボンディングパッド942~946とは、中継端子921~925を介して、ボンディングワイヤ953~957及びボンディングワイヤ960~964により互いに接続されている。パワーチップ911上のボンディングパッド931、932、938は、ボンディングワイヤ951、952、958によりそれぞれ、第2リード972、第4リード974、第1リード971に接続されている。制御チップ912上のボンディングパッド941、947は、ボンディングワイヤ959、965によりそれぞれ、第1リード971、第5リード975に接続されている。

【0094】パッケージ基板901は、パワーチップ911及び制御チップ912の放熱のために熱伝導率が高く、且つ絶縁性の材料が用いられており、例えばセラミックが使用される。パッケージ基板901としては、セラミックの他、例えばエポキシ樹脂やバークライト樹脂、ABS樹脂などの絶縁性基板であっても良い。

【0095】支持板902及び第1リード971、第2リード972、第3リード973第4リード974、第5リード975は、いずれも打ち抜き成形やエッチング等で所定の形状にパターンニングされた金属板材、例えばアルミニウム(Al)、銅(Cu)、Cu-F、Cu-Cr、Cu-Ni-Si、Cu-Sn等の銅合金、Ni-Fe、Fe-Ni-Co等のニッケル・鉄合金、或いは銅とステンレスの複合材料等を用いることが可能である。更に、これらの金属にニッケル(Ni)

メッキや金(Au)メッキ等を施したものなどから構成しても良い。そして、各部材は、図示しない樹脂又はパッケージ缶体などにより封止されている。

【0096】更に、ハイブリッドICとしては、第1の比較器CMP1、第2の比較器CMP2、オン/オフ積算回路801、インバータI1、ブリッジ回路等の制御回路を同一の半導体チップ上にモノリシックに集積化し、第1半導体素子QA1、第1基準半導体素子QB1、第2半導体素子QA2、第2基準半導体素子QB2を、それぞれ個別素子として、同一のパッケージ基板若しくは回路基板上に、半導体チップと共に実装する構成でもかまわない。

【0097】(その他の実施の形態)上記のように、本発明は上記の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0098】例えば、図12に示すようなパワーICであっても良い。このパワーICは、交流電源112の非接地側に接続される第1主電極D1、第1主電極D1に対向した第2主電極S1、第1及び第2主電極を流れる主電流を制御する第1制御電極G1とを有するnチャンネル型の第1半導体素子QA11と、第2主電極S1に接続される第3主電極S2、第3主電極S2に対向し負荷に接続される第4主電極D2、第3及び第4主電極を流れる主電流を制御する第2制御電極G2とを有するnチャンネル型の第2半導体素子QA2とから構成されている。第1制御電極G1は、チャージポンプで昇圧された第1のドライバ811に接続されている。一方、第2制御電極G2は、第1のドライバ811とは異なる第2のドライバ812に接続されている。第1半導体素子QA11は、第1主電極にカソード領域を、第2主電極にアノード領域が接続される第1寄生ダイオードD_{p1}を内在する。第2半導体素子QA2は、第3主電極S2にアノード領域を、第4主電極D2にカソード領域が接続される第2寄生ダイオードD_{p2}を内在する。

【0099】具体的には、図12に示すようにnMOSトランジスタからなる第1半導体素子QA11の第2主電極(ソース電極)S1と、nMOSトランジスタからなる第2半導体素子QA2の第3主電極(ソース電極)S2同士を接続した構成である。交流電源112の接地される側には、第2半導体素子QA2の第4主電極(ドレイン電極)D2が負荷102を介して接続される。即ち、負荷102は接地(GND)と第2半導体素子QA2の第4主電極(ドレイン電極)D2の間に接続される。

【0100】そして、この交流用スイッチングデバイスがオンになったときの交流電流の経路は次のようになる。まず、第1半導体素子QA11の第1主電極(ド

レイン電極)D1の電位が正の時は、第1半導体素子QA11はターン・オンし、第2半導体素子QA2はターン・オフしている。この場合、電流は第1半導体素子QA11の第1主電極(ドレイン電極)D1から第2主電極(ソース電極)S1を流れ、第2半導体素子QA2の第3主電極(ソース電極)S2と第4主電極(ドレイン電極)D2間に存在する第2寄生ダイオードD_{p2}を経由して流れる。

【0101】次に、第1半導体素子QA11の第1主電極(ドレイン電極)D1の電位が負になると、第1半導体素子QA11はターン・オフし、第2半導体素子QA2はターン・オンする。このとき、電流は第2半導体素子QA2の第4主電極(ドレイン電極)D2から第3主電極(ソース電極)S2を流れ、第1半導体素子QA11の第2主電極(ソース電極)S1と第1主電極(ドレイン電極)D1に存在する第1寄生ダイオードD_{p1}を経由して流れる。

【0102】図9と同様に、第1のドライバ811は、第1半導体素子QA11と同型のnMOSトランジスタ(第1基準半導体素子)を含む。この第1基準半導体素子のドレイン電極、ゲート電極は、それぞれ、第1半導体素子QA11のドレイン電極、ゲート電極に接続されている。更に、第1のドライバ811は、第1の比較器を有する。この第1の比較器“+”入力端子は抵抗を介して第1半導体素子QA11の第2主電極(ソース電極)S1に接続され、“-”入力端子は抵抗を介して第1基準半導体素子のソース電極に接続されている。

【0103】一方、第2のドライバ812には、第2半導体素子QA2と同型のMOSトランジスタ(第2基準半導体素子)が含まれている。この第2基準半導体素子のソース電極、ゲート電極は、それぞれ、第2半導体素子QA2のソース電極、ゲート電極に接続され、ドレイン電極は、基準抵抗R_rに接続されている。そして、第2のドライバ812は、第2の比較器を有する。第2の比較器の“+”入力端子には、抵抗を介して第2半導体素子QA2の第4主電極(ドレイン電極)が接続され、“-”入力端子は抵抗を介して第2基準半導体素子のドレイン電極に接続されている。このように構成しておけば、図9の回路と基本的に同様な原理により、異常電流発生時には、第1のドライバ811及び第2のドライバ812により、第1及び第2半導体素子をそれぞれオン/オフ制御して電流振動を生成することが出来る。そして、この電流振動の回数を計測することにより、第1及び第2半導体素子を遮断することが可能である。

【0104】或いは、第1半導体素子QA11及び第2半導体素子QA2を、温度センサ内蔵スイッチング素子とすれば、異常電流発生による電流振動により促進された発熱を利用して、第1及び第2半導体素子を遮断することが可能である。

【0105】そして、これらの第1主半導体素子QA11、第2主半導体素子QA2、第1のドライバ811及び第2のドライバ812を同一半導体基板上に集積化して、モノリシック・パワーICを構成しても良い。所定の回路を、すべて同一半導体チップ上に集積化すれば、極めて軽量・小型なパワーICが実現出来る。或いは、図11と同様に、第1主半導体素子QA11、第1基準半導体素子、第2主半導体素子QA2、第2基準半導体素子を同一の半導体チップ上（パワーチップ）に集積化し、第1のドライバ811及び第2のドライバ812等の制御回路を、パワーチップとは異なる他の半導体チップ（制御チップ）上に集積化し、パワーチップ及び制御チップを同一のパッケージ基板上に実装した、マルチチップモジュール（MCM）やハイブリッドICの構成でもかまわない。

【0106】又、半導体材料はシリコン（Si）に限定されるものではない。例えば、炭化珪素（SiC）等の化合物半導体でも良く、ゲルマニウム（Ge）-Siのヘテロ接合、SiC-Siのヘテロ接合を用いても良い。これらのヘテロ接合を用いる場合は、HEMTと類似なトランジスタで、本発明の第1主半導体素子QA11、第2主半導体素子QA2等を構成出来る。

【0107】このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。従って、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0108】

【発明の効果】以上説明したように、本発明の交流用スイッチングデバイスによれば、電流検出を行うために交流電力の供給経路に直接接続されるシャント抵抗が不要である。このため、交流電力の供給経路の熱損失を抑え、高効率の交流電力供給が可能となる。

【0109】又、本発明によれば、集積化が容易で、安価な交流用スイッチングデバイスを提供することが出来る。

【0110】更に、本発明によれば、溶断ヒューズが不要な交流電力の供給経路に使用することが可能な交流用スイッチングデバイスを提供することが出来る。

【0111】更に、本発明によれば、溶断ヒューズが不要であり、交流電力の供給経路の小型・軽量化を促進すると共に、溶断ヒューズの交換の手間も不要な交流用半導体ヒューズに用いる交流用スイッチングデバイスを提供することが出来る。

【0112】更に、本発明によれば、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流に対しても高速応答が可能な交流用半導体ヒューズに用いる交流用スイッチングデバイスを提供することが出来る。

【0113】そして、このような不完全短絡における遮

断速度を任意に設定可能な交流用半導体ヒューズに用いる交流用スイッチングデバイスを提供することが出来る。

【0114】特に、交流用半導体ヒューズに用いる半導体スイッチの集積化が容易であるので、交流用半導体ヒューズとして必要な容積を縮小出来るとともに、装置コストを大幅に削減することが出来る。

【0115】更に、本発明によれば、異常電流の検出にマイコン等の複雑、高価なハードウェアが不要であり、交流電力の供給経路の小型・軽量化を実現し、その装置コストを大幅に削減することが出来る。

【0116】更に、本発明によれば、主電極間電圧の過渡特性の変化を利用しているので、所定タイミングで所定しきい値との比較を行って過電流検出を行う従来の手法と比較して、コンデンサや複数の抵抗等の回路素子が不要になる。

【0117】このため、本発明によれば、回路素子のバラツキによる検出誤差がより低減出来る。又、半導体チップに対する外付けコンデンサも不要にすることが可能であるので、実装スペース及び装置コストをより削減することが出来る。

【0118】更に、本発明によれば、基準半導体素子の電流容量が主半導体素子の電流容量よりも小さくなるように設定し、半導体チップの面積利用効率を高めているので、半導体チップの小面積化が容易である。この結果、実装スペースを小型化出来るとともに、装置コストを削減出来る。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る交流用スイッチングデバイスの等価回路表現である。

【図2】逆導通型の半導体素子として、nMOSトランジスタのユニット素子の一部を示す半導体チップの断面図である。

【図3】逆導通型の半導体素子として、コレクタショート型のIGBTのユニット素子の一部を示す半導体チップの断面図である。

【図4】本発明の実施の形態に係る交流用スイッチングデバイスの等価回路表現である。

【図5】交流用スイッチングデバイスを構成するパッケージ（大電流制御用モジュール）の構造を示した平面図である。

【図6】図5のI-I方向に沿った断面図である。

【図7】大電流制御用モジュールに用いるソース電極部材の構造を説明するための鳥瞰図である。

【図8】本発明の実施の形態に係る交流用スイッチングデバイスの構造の一部を示す半導体チップの断面図である。

【図9】本発明の実施の形態に係るパワーICの回路図である。

【図10】本発明の実施の形態に係るパワーICに印加

される交流電圧の過渡応答特性を示す説明図である。

【図11】本発明の実施の形態に係るMCMの平面図である。

【図12】本発明の他の実施の形態に係る交流用スイッチングデバイスの構成図である。

【図13】従来の直流電源供給制御装置の回路構成図である。

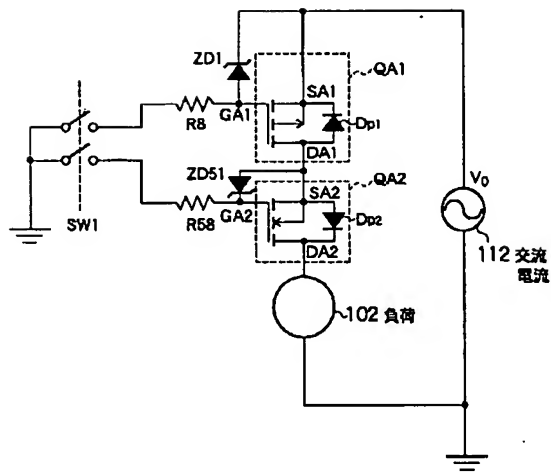
【図14】温度センサ内蔵スイッチング素子の回路構成図である。

【符号の説明】

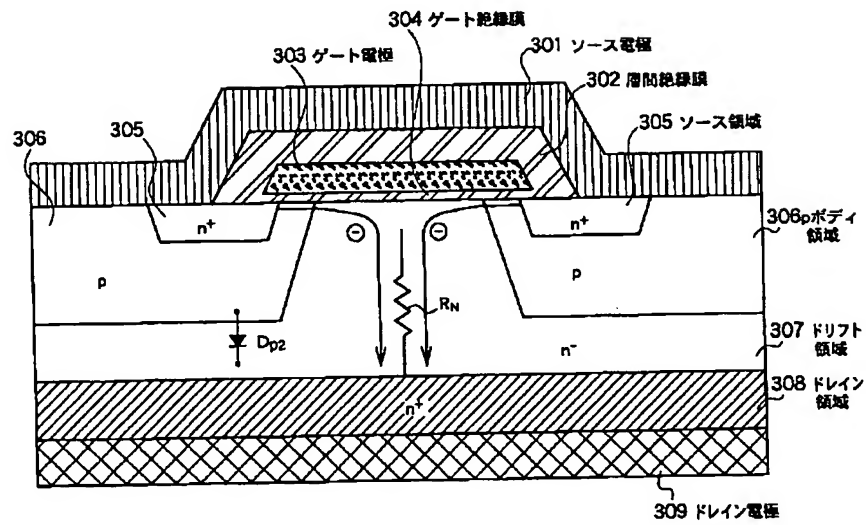
31 セラミック基板
32 フランジ
38 セラミックハウジング
39 低膨張金属製部材
47 プローブピン
48 インシュレータ
61 第1チップ押さえ部
62 第2チップ押さえ部
63 絶縁体
64 背骨部
101 電源
102 負荷
111 駆動回路(制御手段)
121 温度センサ
122 ラッチ回路
301 ソース電極
302 層間絶縁膜
303 ゲート電極
304 ゲート絶縁膜
305 ソース領域
306 pボディ領域
307 ドリフト領域
308 ドレイン領域
309 ドレイン電極
321 エミッタ電極
325 エミッタ領域
326 pベース領域
328 コレクタ領域
329 コレクタ電極
337 n⁺ショート領域
351, 352, 353, 354 半導体チップ
391, 392, 393, 394 ゲート電極パッド
401, 402, 403, 404, 405 銅板

501 台基板
502 SOI酸化膜(埋め込み絶縁膜)
503 トレンチ側壁絶縁膜
504 半絶縁性ポリシリコン(SIPOS)
801 オン/オフ積算回路
901 パッケージ基板
902 支持板
911 パワーチップ
912 制御チップ
10 913 絶縁板
921~925 中継端子
931~938, 941~947 ボンディングパッド
951~965 ボンディングワイヤ
971 第1リード
972 第2リード
973 第3リード
974 第4リード
975 第5リード
C1~C4 コンデンサ
20 CMP1 第1比較器
CMP2 第2比較器
D1~D8, D11~D14, D51~D53, D56
~D58, D71 ダイオード
I1 インバータ
NAND1, NAND2 NANDゲート
QA1, QA11 第1主半導体素子
QA2 第2主半導体素子
QB1 第1基準半導体素子
QB2 第2基準半導体素子
30 QF 温度センサ内蔵スイッチング素子
Q1~Q6, Q11, Q12, Q51, Q52, Q7
1, Q72 npn型BJT
RG 内部抵抗
R1~R14, R31~R33, R41, R42, R5
1, R52, R54~R58, R60~R63, R71
~R75 抵抗
Rr 基準抵抗
SW1, SW2 スイッチ
T1 第1リード
40 T2 第2リード
第3リード973第4リード974, 第5リード975
ZD1~ZD4, ZD22, ZD51~ZD53 ツェ
ナーダイオード

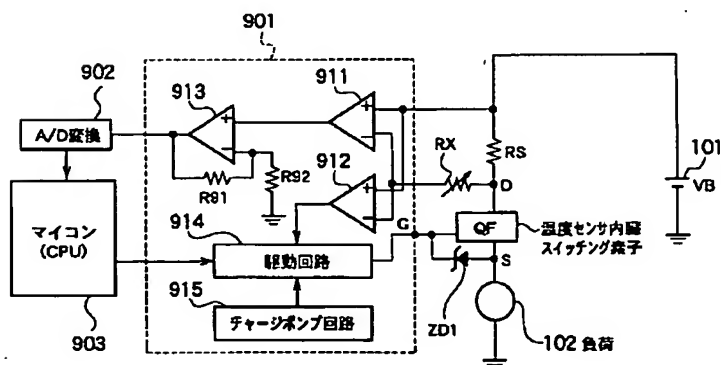
【図1】



【図2】



【図13】



100 半導体装置

61 第1チップ押入部

62 第2チップ押入部

63 絶縁体

DA1

DB1

DB2

P(DA1/S2)

64 背骨部

D2(DA2)

S1(SA1/SB1)

S2(SA2/SB2)

351~354 半導体チップ
401~404 銅板

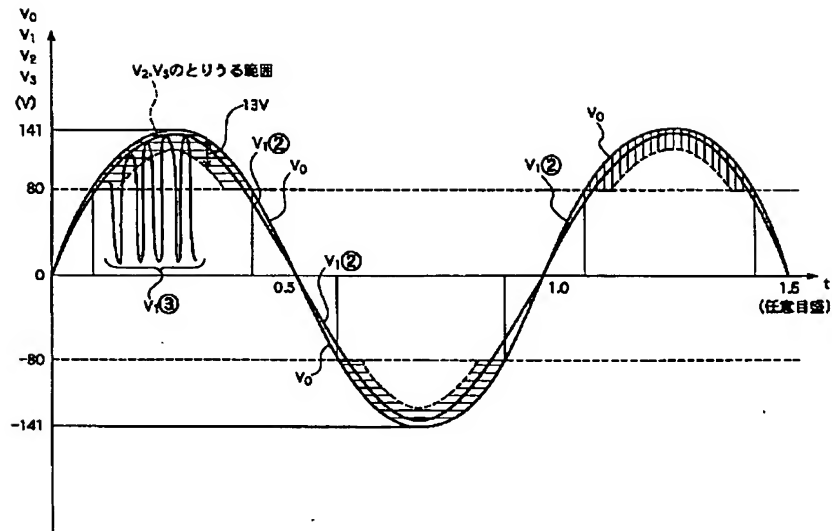
32 フランジ

31 セラミック基板

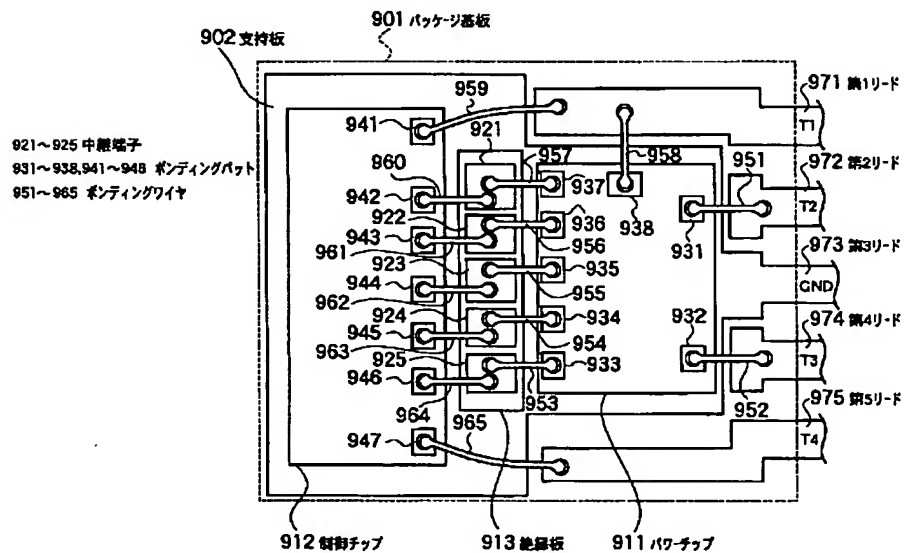
QA2, QB2, SA2, 393, 353, 403, 351, SB2, 354, 401, SA1, 391, QA1, 402, QB1, DA1, DA2, SB1, 352, 392, DB1

[illegible]

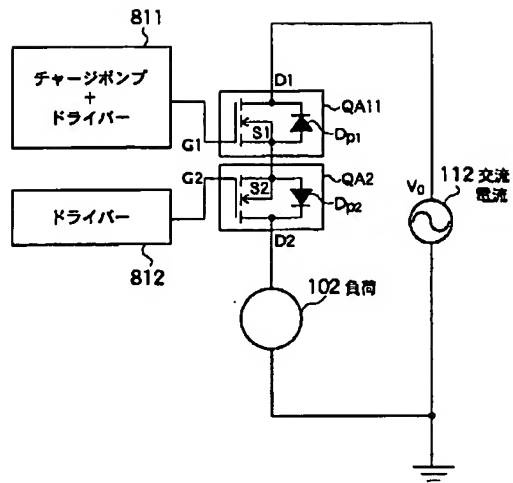
【図10】



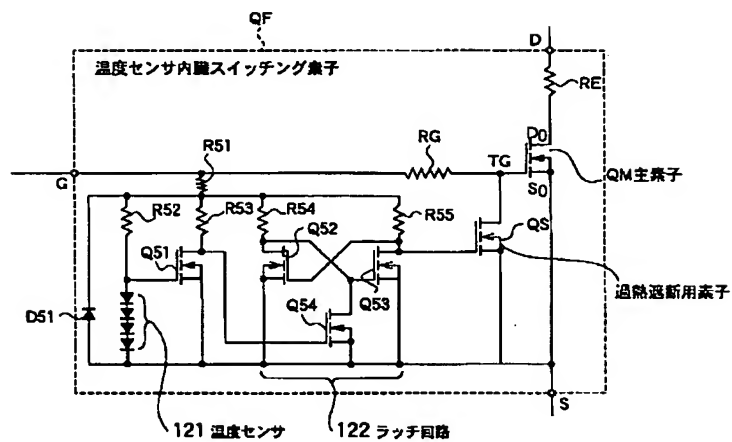
【図11】



【図12】



【図14】



フロントページの続き

(51)Int. Cl.⁷
H02H 7/20
H03K 17/00

識別記号

FI
H02H 7/20
H03K 17/00

テーマコード(参考)
F
A